

日 本 国 特 許 庁
JAPAN PATENT OFFICE

29.10.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 4月 8日

出 願 番 号
Application Number: 特願2003-103871
[ST. 10/C]: [JP2003-103871]

出 願 人
Applicant(s): カシオ計算機株式会社

RECEIVED

19 DEC 2003

WIPO

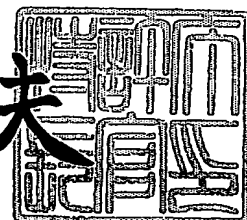
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年12月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願
【整理番号】 02-1704-00
【あて先】 特許庁長官 殿
【国際特許分類】 G09G 03/20 623
G09F 09/30 365
G05F 03/26

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5
カシオ計算機株式会社 八王子研究所内

【氏名】 両澤 克彦

【特許出願人】

【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社
【代表者】 樫尾 和雄

【代理人】

【識別番号】 100096699
【弁理士】
【氏名又は名称】 鹿嶋 英實

【先の出願に基づく優先権主張】

【出願番号】 特願2002-317225
【出願日】 平成14年10月31日

【手数料の表示】

【予納台帳番号】 021267
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9600683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流生成供給回路及びその制御方法並びに電流生成供給回路を備えた表示装置

【特許請求の範囲】

【請求項 1】 複数ビットのデジタル信号を保持する複数のラッチ部からなる信号保持手段と、

定電流源から供給される基準電流に基づいて、前記デジタル信号の各ビットに対応する複数の階調電流を生成する構成を有し、前記信号保持手段を介して出力される前記デジタル信号の値に応じて、前記階調電流の各々を選択的に生成して合成し、負荷駆動電流として所定の負荷に供給する電流生成手段と、を備えていることを特徴とする電流生成供給回路。

【請求項 2】 前記電流生成手段は、前記デジタル信号の各ビットに対応し、前記基準電流に対して各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、

前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、を備え、前記選択された前記階調電流の合成電流を、前記負荷駆動電流として供給することを特徴とする請求項 1 記載の電流生成供給回路。

【請求項 3】 前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、該基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるとともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えたことを特徴とする請求項 2 記載の電流生成供給回路。

【請求項 4】 前記複数の階調電流トランジスタは、チャネル幅が各々 2^n ($n=0, 1, 2, 3, \dots$) で規定される、異なる比率に設定されていることを特徴とする請求項 3 記載の電流生成供給回路。

【請求項 5】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 3 又は 4 記載の電流生成供給回路。

路。

【請求項 6】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする請求項 5 記載の電流生成供給回路。

【請求項 7】 前記電流生成手段は、前記負荷駆動電流を前記負荷側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 2 乃至 6 のいずれかに記載の電流生成供給回路。

【請求項 8】 前記電流生成手段は、前記負荷駆動電流を前記負荷に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 2 乃至 6 のいずれかに記載の電流生成供給回路。

【請求項 9】 前記電流生成手段は、前記定電流源に接続された電流供給線に並列に複数接続され、複数の前記負荷に対して、前記合成電流を同時並行的に供給することを特徴とする請求項 1 乃至 8 のいずれかに記載の電流生成供給回路。

【請求項 10】 前記電流生成手段は、各々、前記カレントミラー回路部への前記基準電流の供給状態を制御するスイッチ手段を備え、

前記スイッチ手段を選択的に切換制御することにより、複数の前記電流生成手段のうち、唯一の前記電流生成手段に対してのみ、前記基準電流が供給されることを特徴とする請求項 9 記載の電流生成供給回路。

【請求項 11】 前記電流生成手段は、各々、前記信号保持手段に前記デジタル信号を取り込み保持する際のタイミングに同期して、前記スイッチ手段を切換制御することにより、前記基準電流が供給されることを特徴とする請求項 10 記載の電流生成供給回路。

【請求項 12】 前記負荷は、前記電流生成手段から供給される前記合成電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項 1 乃至 11 のいずれかに記載の電流生成供給回路。

【請求項 13】 前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 12 記載の電流生成供給回路。

【請求項 14】 複数の負荷に対して、所定の負荷駆動電流を個別に供給することにより、前記複数の負荷を所定の動作状態で駆動させる電流生成供給回路の制御方法において、

複数ビットのデジタル信号を取り込み保持する動作を、前記複数の負荷に対応して順次繰り返すステップと、

定電流源から供給される基準電流に基づいて、前記デジタル信号の各ビットに対応する複数の階調電流を生成し、該各階調電流のうち、前記保持された前記デジタル信号の値に応じて特定の前記階調電流を選択して合成し、前記負荷駆動電流を生成するステップと、

前記負荷駆動電流を前記複数の負荷に対して、同時並行的に供給するステップと、

を含むことを特徴とする電流生成供給回路の制御方法。

【請求項 15】 前記階調電流は、前記基準電流に対して、 2^n ($n=0, 1, 2, 3, \dots$) で規定される電流値を有するように設定されていることを特徴とする請求項 14 記載の電流生成供給回路の制御方法。

【請求項 16】 前記負荷駆動電流は、前記負荷から前記電流生成供給回路に引き込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴とする請求項 14 又は 15 記載の電流生成供給回路の制御方法。

【請求項 17】 前記負荷駆動電流は、前記前記電流生成供給回路から前記負荷に流し込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴とする請求項 14 又は 15 記載の電流生成供給回路の制御方法。

【請求項 18】 前記基準電流は、前記複数の負荷の各々に対応して、選択的に供給されることを特徴とする請求項 14 乃至 17 のいずれかに記載の電流生

成供給回路の制御方法。

【請求項 19】 前記基準電流は、前記デジタル信号を取り込み保持する際のタイミングに同期して供給されることを特徴とする請求項 18 記載の電流生成供給回路の制御方法。

【請求項 20】 前記複数の負荷は、前記負荷駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項 14 乃至 19 のいずれかに記載の電流生成供給回路の制御方法。

【請求項 21】 少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記各表示画素を所定の輝度階調で発光させて、前記表示パネルに所望の画像情報を表示する表示装置において、

前記信号駆動手段は、少なくとも、前記表示信号に基づく複数ビットのデジタル信号を保持する複数のラッチ部からなる信号保持手段と、定電流源から供給される基準電流に基づいて、前記デジタル信号の各ビットに対応する複数の階調電流を生成する構成を有し、前記信号保持手段を介して出力される前記デジタル信号の値に応じて、前記階調電流の各々を選択的に生成して合成し、前記駆動電流として前記表示画素に供給する電流生成手段と、を有する電流生成供給回路を複数具備することを特徴とする表示装置。

【請求項 22】 前記電流生成手段は、前記デジタル信号の各ビットに対応し、前記基準電流に対して各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、

前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、
を備え、前記選択された階調電流の合成電流を、前記駆動電流として供給することを特徴とする請求項 21 記載の表示装置。

【請求項 23】 前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、該基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続され、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えたことを特徴とする請求項 22 記載の表示装置。

【請求項 24】 前記複数の階調電流トランジスタは、チャネル幅が各々 2^n ($n = 0, 1, 2, 3, \dots$) で規定される、異なる比率に設定されていることを特徴とする請求項 23 記載の表示装置。

【請求項 25】 前記電流生成手段は、前記駆動電流を前記表示画素側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 22 乃至 24 のいずれかに記載の表示装置。

【請求項 26】 前記電流生成手段は、前記駆動電流を前記表示画素に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 22 乃至 24 のいずれかに記載の表示装置。

【請求項 27】 前記各表示画素に設けられる前記電流生成供給回路は、各々、前記カレントミラー回路部への前記基準電流の供給状態を制御するスイッチ手段を備え、

前記スイッチ手段を選択的に切換制御することにより、複数の前記表示画素のうち、唯一の前記表示画素に設けられた前記電流生成供給回路に対してのみ、前記基準電流が供給されることを特徴とする請求項 22 乃至 26 のいずれかに記載の表示装置。

【請求項 28】 前記各表示画素に設けられる前記電流生成供給回路は、各々、前記信号保持手段に前記デジタル信号を取り込み保持する際のタイミングに同期して、前記スイッチ手段を切換制御することにより、前記基準電流が供給されることを特徴とする請求項 27 記載の表示装置。

【請求項 29】 前記表示画素は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項 21 乃至 28 のいずれかに記載の表示装置。

【請求項 30】 前記表示画素は、前記駆動電流を保持する電流書込保持手

段と、該保持された前記駆動電流に基づいて発光駆動電流を生成する発光駆動手段と、前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子と、を備えていることを特徴とする請求項 21 乃至 28 のいずれかに記載の表示装置。

【請求項 31】 前記発光素子は、有機エレクトロルミネッセント素子からなる発光素子であることを特徴とする請求項 29 又は 30 記載の表示装置。

【請求項 32】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 23 又は 24 記載の表示装置。

【請求項 33】 前記表示画素を構成する前記発光駆動手段は、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 30 乃至 32 のいずれかに記載の表示装置。

【請求項 34】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする請求項 32 又は 33 記載の表示装置。

【請求項 35】 少なくとも、複数の走査線及び複数の信号線群が相互に直交するように配設され、該走査線及び該信号線群の交点に複数の表示画素がマトリクス状に配列された表示パネルと、

前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく複数ビットのデジタル信号を、前記各信号線群を介して前記各表示画素に供給する信号駆動手段と、を備え、

前記表示画素は、少なくとも、

発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流駆動型の発光素子と、

前記デジタル信号を保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記信号保持手段に保持された前記デジタル信号の値に応じた階調電流を生成して、前記発光駆動電流として前記発光素子に供給する電流生成手段と、を有する電流生成供給回路と、を具備することを特徴とする表示装置。

【請求項 36】 前記電流生成手段は、前記デジタル信号の各ビットに対応し、前記基準電流に対して各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、

前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、を備え、前記選択された階調電流の合成電流を、前記発光駆動電流として供給することを特徴とする請求項 35 記載の表示装置。

【請求項 37】 前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、該基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続され、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えたことを特徴とする請求項 36 記載の表示装置。

【請求項 38】 前記複数の階調電流トランジスタは、チャンネル幅が各々 2^n ($n=0, 1, 2, 3, \dots$) で規定される、異なる比率に設定されていることを特徴とする請求項 37 記載の表示装置。

【請求項 39】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 37 又は 38 記載の表示装置。

【請求項 40】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャンネル領域と、該チャンネル領域を挟んで形成されたソース領域及びドレイン領

域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする請求項 39 記載の表示装置。

【請求項 41】 前記電流生成手段は、前記発光駆動電流を前記発光素子側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 35 乃至 40 のいずれかに記載の表示装置。

【請求項 42】 前記電流生成手段は、前記発光駆動電流を前記発光素子に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 35 乃至 40 のいずれかに記載の表示装置。

【請求項 43】 前記各表示画素に設けられる前記電流生成供給回路は、各々、前記カレントミラー回路部への前記基準電流の供給状態を制御するスイッチ手段を備え、

前記スイッチ手段を選択的に切換制御することにより、複数の前記表示画素のうち、唯一の前記表示画素に設けられた前記電流生成供給回路に対してのみ、前記基準電流が供給されることを特徴とする請求項 36 乃至 42 のいずれかに記載の表示装置。

【請求項 44】 前記各表示画素に設けられる前記電流生成供給回路は、各々、前記信号保持手段に前記デジタル信号を取り込み保持する際のタイミングに同期して、前記スイッチ手段を切換制御することにより、前記基準電流が供給されることを特徴とする請求項 43 記載の表示装置。

【請求項 45】 前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 35 乃至 44 のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流生成供給回路及びその制御方法並びに電流生成供給回路を備え

た表示装置に関し、特に、画像表示信号に応じた電流を供給することにより所定の輝度階調で発光動作する電流駆動型（又は、電流指定型）の発光素子を備えた表示パネルに適用可能な電流生成供給回路及びその制御方法、並びに、該電流生成供給回路を備えた表示装置に関する。

【0002】

【従来の技術】

近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして、液晶表示装置（LCD）等の陰極線管（CRT）に替わる表示装置や表示デバイスの普及が著しい。特に、液晶表示装置は、旧来の表示装置（CRT）に比較して、薄型軽量化、省スペース化、低消費電力化等が可能であるため、急速に普及している。また、比較的小型の液晶表示装置は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）等の表示デバイスとしても広く適用されている。

【0003】

このような液晶表示装置に続く次世代の表示デバイス（ディスプレイ）として、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や無機エレクトロルミネッセンス素子（以下、「無機EL素子」と略記する）、あるいは、発光ダイオード（LED）等のような自己発光型の光学要素（発光素子）を、マトリクス状に配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）の本格的な実用化が期待されている。

【0004】

このような発光素子型ディスプレイ（特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイ）においては、液晶表示装置に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。

【0005】

このようなディスプレイの一例は、概略、行方向に配設された走査ラインと列

方向に配設されたデータラインの各交点近傍に発光素子を含む表示画素が配列された表示パネルと、画像表示信号（表示データ）に応じた書込電流を生成して、データラインを介して各表示画素に供給するデータドライバと、所定のタイミングで走査信号を順次印加して特定の行の表示画素を選択状態にする走査ドライバと、を備え、各表示画素に供給された上記書込電流により、各発光素子が表示データに応じた所定の輝度階調で発光動作して、所望の画像情報が表示パネルに表示される。なお、発光素子型のディスプレイの具体例については、後述する発明の実施の形態において、詳しく説明する。

【0006】

ここで、上記ディスプレイにおける表示駆動動作においては、複数の表示画素（発光素子）に対して、データドライバにより表示データに応じた電流値を有する個別の書込電流を生成し、走査ドライバにより選択された特定の行の表示画素に同時に供給して、各発光素子を所定の輝度階調で発光させる動作を、1画面分の各行について順次繰り返す電流指定型の駆動方式や、走査ドライバにより選択された特定の行の表示画素に対して、データドライバにより一定の電流値の駆動電流を、表示データに応じた個別の時間幅（信号幅）で供給して、各発光素子を所定の輝度階調で発光させる動作を、1画面分順次繰り返すパルス幅変調（PWM）型の駆動方式等が知られている。

【0007】

このようなディスプレイに適用されるデータドライバの具体的な構成としては、例えば、図31に示すように、電流路の一端側（エミッタ）が電源端子 TM_p に接続されるとともに、電流路の他端側（コレクタ）が基準電流入力端子 TM_r に接続されたトランジスタ TP_r と、電流路の一端側（エミッタ）が共通電源ライン L_p を介して上記電源端子 TM_p に共通に接続されるとともに、電流路の他端側（コレクタ）が個別の出力端子 OUT_1 、 OUT_2 、 \dots 、 OUT_m に接続され、かつ、各制御端子（ベース）が上記トランジスタ TP_r の制御端子（ベース）に並列的に接続された複数のトランジスタ TP_1 、 TP_2 、 \dots 、 TP_m からなるカレントミラー回路を基本構成として備えた定電流駆動回路を良好に適用することができる。

【0008】

このようなデータドライバにおいては、トランジスタ TP_r に流れる基準電流 I_r に応じて、複数のトランジスタ TP_1 、 TP_2 、 \dots TP_m に流れる一定の電流値を有する駆動電流 IP_1 、 IP_2 、 \dots IP_m を個別の出力端子 OUT_1 、 OUT_2 、 \dots OUT_m を介して（もしくは、図示を省略した出力回路をさらに介して）、図示を省略した表示パネルを構成する複数の表示画素に一括して供給することにより、表示画素（発光素子）を発光動作させることができる。なお、図31に示したようなデータドライバ（定電流駆動回路）については、例えば、特許文献1等に、その基本構成や、出力電流間のバラツキを改善した構成が記載されている。

【0009】

また、データドライバの他の構成としては、例えば、図32に示すように、表示データに応じた電流値を有する電流を生成、出力する電流源 PI に共通の電流供給ライン Li を介して接続された複数のラッチ回路 LC_1 、 LC_2 、 \dots LC_m と、該ラッチ回路 LC_1 、 LC_2 、 \dots LC_m ごとに設けられた出力回路 DO_1 、 DO_2 、 \dots DO_m とを備えたものを良好に適用することができる。

【0010】

このようなデータドライバにおいては、電流源 PI から出力される表示データに応じた電流 I_{dt} を、時系列的に入力されるラッチ制御信号 SL_1 、 SL_2 、 \dots SL_m に基づいて、ラッチ回路 LC_1 、 LC_2 、 \dots LC_m に順次保持し、所定のタイミングで入力される出力イネーブル信号 Sen に基づいて、出力回路 DO_1 、 DO_2 、 \dots DO_m から個別の出力端子 OUT_1 、 OUT_2 、 \dots OUT_m を介して、各ラッチ回路 LC_1 、 LC_2 、 \dots LC_m に保持された電流 I_{dt} に基づく駆動電流 ID_1 、 ID_2 、 \dots ID_m を、表示パネルを構成する複数の表示画素に一括して供給する。ここで、図32においては、複数のラッチ回路及び出力回路からなる構成を一組のみ示したが、このような構成を二組設けて、一方のラッチ回路群に電流を順次保持している期間に、他方のラッチ回路群に保持された電流を出力するようにした構成を適用するものであってもよい。

【0011】

なお、図31、図32に示した従来技術においては、データドライバにより生成された駆動電流をデータドライバ側から表示パネル（表示画素）側に、流し込む方向に供給する場合について説明したが、上記特許文献1にも示されているように、データドライバにより生成された駆動電流を表示パネル（表示画素）側からデータドライバ側に、引き込む方向に供給するものも知られている。

【0012】

【特許文献1】

特開 2002-202823号公報（第3頁、図2、図15）

【0013】

【発明が解決しようとする課題】

しかしながら、上述したような発光素子型ディスプレイにおいては、以下に示すような問題を有していた。

(1) すなわち、データドライバにより表示データに応じた駆動電流を表示画素ごとに生成し、出力端子に接続された各データラインを介して、特定行の各表示画素に一括して供給する従来の構成及び駆動制御方法においては、上記駆動電流が、表示データに対応して変化するとともに、各表示画素（データライン）に対応してデータドライバに個別に設けられたトランジスタやラッチ回路等の回路構成に、電流源から共通の電流供給ラインを介して供給される電流も変化することになる。一般に信号配線には寄生容量（配線容量）が存在するため、上述したようなデータラインや電流供給ラインを介して所定の電流を供給する動作は、当該信号配線（データライン、電流供給ライン）に存在する寄生容量を所定の電位まで充電、あるいは、放電することに相当する。そのため、データラインや電流供給ラインを介して供給される電流が微小である場合には、データラインや電流供給ラインへの充放電動作に時間を要し、当該信号ラインの電位が安定するまでに所定の時間を要することになる。

【0014】

一方、データドライバにおける動作は、データライン数（すなわち、表示画素数）が増加するほど、各データラインにおける電流の保持動作等に割り当てられる動作期間が短くなって高速な動作を要求されるが、上述したようにデータライ

ンや電流供給ラインへの充放電動作に所定時間を要するため、この充放電動作の速度に起因してデータドライバの動作速度が律速されてしまうという問題を有していた。

すなわち、表示パネルの小型化や高精細化（高解像度化）等に伴って、データラインを介して供給される駆動電流の電流値が小さくなるほど、データドライバの動作速度が制約されることになり、良好な画像表示動作を実現することが困難になるという問題を有していた。

【0015】

（2）また、従来技術に示したようなデータドライバを備えた表示装置においては、データドライバにおいて表示データに応じた書込電流を生成して、各データラインを介して表示画素に供給するように構成されているが、書込電流は、発光素子の発光状態に応じて変化するアナログ信号であるため、信号レベルの劣化や外部ノイズの影響を受けやすく、表示画素（発光素子）における発光輝度の低下やバラツキを生じて、適切な輝度階調での画像表示が阻害されるという問題を有していた。

【0016】

そこで、本発明は、上述した課題に鑑み、発光素子を電流指定方式で発光制御するディスプレイにおいて、表示画素に供給される書込電流が微小な場合であっても、該書込電流を生成する動作を迅速に実行することができるとともに、表示データに対応した適切な電流値の書込電流を出力することができる電流生成供給回路及びその制御方法を提供し、以て、表示応答特性及び表示画質の向上を図ることができる表示装置を提供することを目的とする。

【0017】

【課題を解決するための手段】

請求項1記載の電流生成供給回路は、複数ビットのデジタル信号を保持する複数のラッチ部からなる信号保持手段と、定電流源から供給される基準電流に基づいて、前記デジタル信号の各ビットに対応する複数の階調電流を生成する構成を有し、前記信号保持手段を介して出力される前記デジタル信号の値に応じて、前記階調電流の各々を選択的に生成して合成し、負荷駆動電流として所定の負荷に

供給する電流生成手段と、を備えていることを特徴とする。

請求項 2 記載の電流生成供給回路は、請求項 1 記載の電流生成供給回路において、前記電流生成手段は、前記デジタル信号の各ビットに対応し、前記基準電流に対して各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、を備え、前記選択された前記階調電流の合成電流を、前記負荷駆動電流として供給することを特徴とする。

【0018】

請求項 3 記載の電流生成供給回路は、請求項 2 記載の電流生成供給回路において、前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、該基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるとともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えたことを特徴とする。

請求項 4 記載の電流生成供給回路は、請求項 3 記載の電流生成供給回路において、前記複数の階調電流トランジスタは、チャネル幅が各々 2^n ($n=0, 1, 2, 3, \dots$) で規定される、異なる比率に設定されていることを特徴とする。

請求項 5 記載の電流生成供給回路は、請求項 3 又は 4 記載の電流生成供給回路において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする。

【0019】

請求項 6 記載の電流生成供給回路は、請求項 5 記載の電流生成供給回路において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、

前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする。

【0020】

請求項7記載の電流生成供給回路は、請求項2乃至6のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記負荷駆動電流を前記負荷側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする。

請求項8記載の電流生成供給回路は、請求項2乃至6のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記負荷駆動電流を前記負荷に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする。

請求項9記載の電流生成供給回路は、請求項1乃至8のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記定電流源に接続された電流供給線に並列に複数接続され、複数の前記負荷に対して、前記合成電流を同時並行的に供給することを特徴とする。

【0021】

請求項10記載の電流生成供給回路は、請求項9記載の電流生成供給回路において、前記電流生成手段は、各々、前記カレントミラー回路部への前記基準電流の供給状態を制御するスイッチ手段を備え、前記スイッチ手段を選択的に切換制御することにより、複数の前記電流生成手段のうち、唯一の前記電流生成手段に対してのみ、前記基準電流が供給されることを特徴とする。

請求項11記載の電流生成供給回路は、請求項10記載の電流生成供給回路において、前記電流生成手段は、各々、前記信号保持手段に前記デジタル信号を取り込み保持する際のタイミングに同期して、前記スイッチ手段を切換制御することにより、前記基準電流が供給されることを特徴とする。

【0022】

請求項12記載の電流生成供給回路は、請求項1乃至11のいずれかに記載の電流生成供給回路において、前記負荷は、前記電流生成手段から供給される前記合成電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素

子を備えていることを特徴とする。

請求項 13 記載の電流生成供給回路は、請求項 12 記載の電流生成供給回路において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

請求項 14 記載の電流生成供給回路の制御方法は、複数の負荷に対して、所定の負荷駆動電流を個別に供給することにより、前記複数の負荷を所定の動作状態で駆動させる電流生成供給回路の制御方法において、複数ビットのデジタル信号を取り込み保持する動作を、前記複数の負荷に対応して順次繰り返すステップと、定電流源から供給される基準電流に基づいて、前記デジタル信号の各ビットに対応する複数の階調電流を生成し、該各階調電流のうち、前記保持された前記デジタル信号の値に応じて特定の前記階調電流を選択して合成し、前記負荷駆動電流を生成するステップと、前記負荷駆動電流を前記複数の負荷に対して、同時並行的に供給するステップと、を含むことを特徴とする。

【0023】

請求項 15 記載の電流生成供給回路の制御方法は、請求項 14 記載の電流生成供給回路の制御方法において、前記階調電流は、前記基準電流に対して、 2^n ($n=0, 1, 2, 3, \dots$) で規定される電流値を有するように設定されていることを特徴とする。

請求項 16 記載の電流生成供給回路の制御方法は、請求項 14 又は 15 記載の電流生成供給回路の制御方法において、前記負荷駆動電流は、前記負荷から前記電流生成供給回路に引き込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴とする。

請求項 17 記載の電流生成供給回路の制御方法は、請求項 14 又は 15 記載の電流生成供給回路の制御方法において、前記負荷駆動電流は、前記前記電流生成供給回路から前記負荷に流し込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴とする。

【0024】

請求項 18 記載の電流生成供給回路の制御方法は、請求項 14 乃至 17 のいずれかに記載の電流生成供給回路の制御方法において、前記基準電流は、前記複数

の負荷の各々に対応して、選択的に供給されることを特徴とする。

請求項 19 記載の電流生成供給回路の制御方法は、請求項 18 記載の電流生成供給回路の制御方法において、前記基準電流は、前記デジタル信号を取り込み保持する際のタイミングに同期して供給されることを特徴とする。

請求項 20 記載の電流生成供給回路の制御方法は、請求項 14 乃至 19 のいずれかに記載の電流生成供給回路の制御方法において、前記複数の負荷は、前記負荷駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

【0025】

請求項 21 記載の表示装置は、少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記各表示画素を所定の輝度階調で発光させて、前記表示パネルに所望の画像情報を表示する表示装置において、前記信号駆動手段は、少なくとも、前記表示信号に基づく複数ビットのデジタル信号を保持する複数のラッチ部からなる信号保持手段と、定電流源から供給される基準電流に基づいて、前記デジタル信号の各ビットに対応する複数の階調電流を生成する構成を有し、前記信号保持手段を介して出力される前記デジタル信号の値に応じて、前記階調電流の各々を選択的に生成して合成し、前記駆動電流として前記表示画素に供給する電流生成手段と、を有する電流生成供給回路を複数具備することを特徴とする。

【0026】

請求項 22 記載の表示装置は、請求項 21 記載の表示装置において、前記電流生成手段は、前記デジタル信号の各ビットに対応し、前記基準電流に対して各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階

調電流を選択するスイッチ回路部と、を備え、前記選択された階調電流の合成電流を、前記駆動電流として供給することを特徴とする。

請求項 23 記載の表示装置は、請求項 22 記載の表示装置において、前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、該基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続され、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えたことを特徴とする。

【0027】

請求項 24 記載の表示装置は、請求項 23 記載の表示装置において、前記複数の階調電流トランジスタは、チャンネル幅が各々 2^n ($n=0, 1, 2, 3, \dots$) で規定される、異なる比率に設定されていることを特徴とする。

請求項 25 記載の表示装置は、請求項 22 乃至 24 のいずれかに記載の表示装置において、前記電流生成手段は、前記駆動電流を前記表示画素側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする。

請求項 26 記載の表示装置は、請求項 22 乃至 24 のいずれかに記載の表示装置において、前記電流生成手段は、前記駆動電流を前記表示画素に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする。

【0028】

請求項 27 記載の表示装置は、請求項 22 乃至 26 のいずれかに記載の表示装置において、前記各表示画素に設けられる前記電流生成供給回路は、各々、前記カレントミラー回路部への前記基準電流の供給状態を制御するスイッチ手段を備え、前記スイッチ手段を選択的に切換制御することにより、複数の前記表示画素のうち、唯一の前記表示画素に設けられた前記電流生成供給回路に対してのみ、前記基準電流が供給されることを特徴とする。

請求項 28 記載の表示装置は、請求項 27 記載の表示装置において、前記各表示画素に設けられる前記電流生成供給回路は、各々、前記信号保持手段に前記デジタル信号を取り込み保持する際のタイミングに同期して、前記スイッチ手段を切換制御することにより、前記基準電流が供給されることを特徴とする。

【0029】

請求項 29 記載の表示装置は、請求項 21 乃至 28 のいずれかに記載の表示装置において、前記表示画素は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

請求項 30 記載の表示装置は、請求項 21 乃至 28 のいずれかに記載の表示装置において、前記表示画素は、前記駆動電流を保持する電流書込保持手段と、該保持された前記駆動電流に基づいて発光駆動電流を生成する発光駆動手段と、前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子と、を備えていることを特徴とする。

請求項 31 記載の表示装置は、請求項 29 又は 30 記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子からなる発光素子であることを特徴とする。

【0030】

請求項 32 記載の表示装置は、請求項 23 又は 24 記載の表示装置において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする。

請求項 33 記載の表示装置は、請求項 30 乃至 32 のいずれかに記載の表示装置において、前記表示画素を構成する前記発光駆動手段は、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする。

【0031】

請求項 34 記載の表示装置は、請求項 32 又は 33 記載の表示装置において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナ

ル電極と、を備えたトランジスタ構造を有していることを特徴とする。

【0032】

請求項35記載の表示装置は、少なくとも、複数の走査線及び複数の信号線群が相互に直交するように配設され、該走査線及び該信号線群の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく複数ビットのデジタル信号を、前記各信号線群を介して前記各表示画素に供給する信号駆動手段と、を備え、前記表示画素は、少なくとも、発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流駆動型の発光素子と、前記デジタル信号を保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記信号保持手段に保持された前記デジタル信号の値に応じた階調電流を生成して、前記発光駆動電流として前記発光素子に供給する電流生成手段と、を有する電流生成供給回路と、を具備することを特徴とする。

【0033】

請求項36記載の表示装置は、請求項35記載の表示装置において、前記電流生成手段は、前記デジタル信号の各ビットに対応し、前記基準電流に対して各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、を備え、前記選択された階調電流の合成電流を、前記発光駆動電流として供給することを特徴とする。

請求項37記載の表示装置は、請求項36記載の表示装置において、前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、該基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続され、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えたことを特徴とする。

【0034】

請求項38記載の表示装置は、請求項37記載の表示装置において、前記複数の階調電流トランジスタは、チャネル幅が各々 2^n ($n=0, 1, 2, 3, \dots$) で規定される、異なる比率に設定されていることを特徴とする。

請求項 39 記載の表示装置は、請求項 37 又は 38 記載の表示装置において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする。

【0035】

請求項 40 記載の表示装置は、請求項 39 記載の表示装置において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする。

【0036】

請求項 41 記載の表示装置は、請求項 35 乃至 40 のいずれかに記載の表示装置において、前記電流生成手段は、前記発光駆動電流を前記発光素子側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする。

請求項 42 記載の表示装置は、請求項 35 乃至 40 のいずれかに記載の表示装置において、前記電流生成手段は、前記発光駆動電流を前記発光素子に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする。

請求項 43 記載の表示装置は、請求項 36 乃至 42 のいずれかに記載の表示装置において、前記各表示画素に設けられる前記電流生成供給回路は、各々、前記カレントミラー回路部への前記基準電流の供給状態を制御するスイッチ手段を備え、前記スイッチ手段を選択的に切換制御することにより、複数の前記表示画素のうち、唯一の前記表示画素に設けられた前記電流生成供給回路に対してのみ、前記基準電流が供給されることを特徴とする。

【0037】

請求項 44 記載の表示装置は、請求項 43 記載の表示装置において、前記各表

示画素に設けられる前記電流生成供給回路は、各々、前記信号保持手段に前記デジタル信号を取り込み保持する際のタイミングに同期して、前記スイッチ手段を切換制御することにより、前記基準電流が供給されることを特徴とする。

請求項 45 記載の表示装置は、請求項 35 乃至 44 のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【0038】

すなわち、本発明に係る電流生成供給回路及びその制御方法は、有機 EL 素子や発光ダイオード等のように、電流値に応じて所定の駆動状態（発光輝度）で動作する複数の負荷（表示画素、発光素子）に対して、所定の電流値を有する負荷駆動電流（書込電流、発光駆動電流）を個別に供給する電流駆動装置であって、複数ビットのデジタル信号を並列的に保持する信号ラッチ部（信号保持手段）と、該複数ビットのデジタル信号に対応した電流値を有する負荷駆動電流を生成、出力する電流生成部（電流生成手段）と、を備え、電流生成部により、信号ラッチ部に保持されたデジタル信号ごとに、所定の電流値を有する個別の階調電流を生成し、該階調電流を合成（電流値を合算）して、上記負荷駆動電流として出力するように構成されている。

ここで、電流生成部としては、チャネル幅が各々所定の比率となるように形成された複数の薄膜トランジスタ（階調電流トランジスタ）を並列に接続したカレントミラー回路構成を適用することにより、定電流源から供給される一定の電流値を有する基準電流に対して、上記所定の比率で規定される電流値を有する階調電流を生成することができる。

【0039】

これにより、カレントミラー回路部の基準電流トランジスタに一定の基準電流を流すのみで、各階調電流トランジスタに異なる電流値を有する複数の階調電流を一義的に生成することができ、上記複数ビットのデジタル信号に基づいて、これらの階調電流から特定の階調電流を選択して合成することにより、所望の電流値を有する負荷駆動電流を生成することができ、該負荷駆動電流の生成に関連して電流生成供給回路に供給される信号レベルが変動しない構成を有しているので

、負荷駆動電流が微小な場合であっても、電流生成供給回路に接続される電流供給線に付加された寄生容量への充放電動作に起因する影響を排除して、電流生成供給回路、又は、電流生成供給回路を備えた電流駆動装置の動作速度を向上させることができる。

【0040】

また、上記カレントミラー回路部において、各階調電流トランジスタのチャネル幅を各々 2^n ($n=0, 1, 2, 3, \dots$) で規定される比率に設定することにより、 $(n+1)$ 個の階調電流トランジスタに、基準電流の 2^n で規定される電流値を有する階調電流が流れ、これらを合成することにより、 2^n 段階の電流値を有する負荷駆動電流を生成することができる。したがって、複数のデジタル信号に対応した電流値を有するアナログ電流を、比較的簡易な回路構成により生成して出力することができ、負荷を適正な駆動状態で動作させることができる。

【0041】

さらに、少なくとも、上記電流生成供給回路を構成するカレントミラー回路部の基準電流トランジスタ及び階調電流トランジスタとして、いわゆる、ボディターミナル構造を有する電界効果トランジスタを適用することにより、特定の電圧範囲において略一定の電流値を示す飽和領域を有する電圧－電流特性を得ることができるので、入力されるデジタル信号に基づいて保持した電流に対して、適切に対応した電流値を有する負荷駆動電流を生成することができ、負荷を適切な駆動状態で動作させることができる。

【0042】

また、本発明に係る表示装置においては、相互に直交する走査ライン（走査線）及びデータライン（信号線）の交点近傍に、発光素子を備えた表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、上述したような電流生成供給回路をデータドライバ（信号駆動手段）、もしくは、表示画素内の画素駆動回路に適用し、表示パネルの所定の行に配列された表示画素群の選択期間中に、上記信号保持部に保持した複数ビットのデジタル信号（表示データ）に基づいて電流生成部において生成された特定の階調電流の合成電流を、書込電流

又は発光駆動電流として、表示画素又は発光素子に供給するように構成されている。

【0043】

これにより、上述したように、電流生成供給回路を構成するカレントミラー回路部の基準電流トランジスタに一定の電流値を有する基準電流を流すのみで、表示データ（表示信号）に応じた電流値を有する書込電流又は発光駆動電流が生成されるので、表示パネルの小型化や高精細化に伴って表示画素が微細化された場合や、比較的下位の輝度階調で各表示画素を発光動作させる場合等のように、書込電流又は発光駆動電流が微小な場合であっても、信号線の充放電動作に起因する動作速度の低下を抑制して、表示データに応じた適正な電流値を有する書込電流又は発光駆動電流を迅速に生成して発光素子に出力することができる。したがって、表示画素（発光素子）を表示データに応じた適正な輝度階調で発光動作させることができ、所望の画像情報を良好な画質で表示することができる。

【0044】

特に、上述した電流生成供給回路を表示画素内の画素駆動回路に適用した場合にあっては、表示パネルに配設される各データラインを介して、表示データに対応する複数ビットのデジタル信号を各表示画素（画素駆動回路）に直接供給することができ、また、各画素駆動回路において該デジタル信号に基づいてアナログ信号からなる発光駆動電流を生成することができるので、表示画素にアナログ信号からなる書込電流を供給する構成に比較して、信号レベルの劣化や外部ノイズ等の影響を受けにくくなり、表示データに対応した適切な輝度階調で発光素子を発光動作させることができ、信号対ノイズ比（S/N比）を改善して表示画質の向上を図ることができる。

【0045】

また、データドライバに適用される電流生成供給回路を構成するカレントミラー回路部（基準電流トランジスタ及び階調電流トランジスタ）、さらには、表示画素内の画素駆動回路を構成する発光駆動用トランジスタとして、いわゆる、ボディターミナル構造を有する電界効果トランジスタを適用することにより、特定の電圧範囲において略一定の電流値を示す飽和領域を有する電圧－電流特性を得

ることができるので、表示データに基づいて保持した電流に対して、適切に対応した電流値を有する書込電流や発光駆動電流を生成することができ、各表示画素を表示データに基づいた適切な輝度階調で発光動作させて、表示画質の向上を図ることができる。

【0046】

また、上述したような電流生成供給回路を表示装置のデータドライバや、表示画素内の画素駆動回路に適用した場合においては、各データラインや表示画素に対応して、共通の電流供給線に並列的に接続された複数の電流生成供給回路に対して、各電流生成供給回路（電流生成手段）に設けられたスイッチ手段を選択的に切換制御することにより、一時に唯一の電流生成供給回路にのみ、基準電流が供給されるように制御する。これにより、電流発生源（定電流源）から供給される一定の電流値を有する基準電流が分割されることなく、各電流生成供給回路に選択的に供給され、該基準電流をそのまま用いて負荷駆動電流が生成されるので、各電流生成供給回路相互の回路特性や、能動素子の素子特性のバラツキの影響を受けることなく、表示データに応じた適切かつ均一化された電流値を有する負荷駆動電流を表示画素や発光素子等の負荷に供給することができ、輝度階調のバラツキの抑制された、良好な表示画質を実現することができる。

【0047】

【発明の実施の形態】

以下、本発明に係る電流生成供給回路及びその制御方法並びに電流生成供給回路を備えた表示装置について、実施の形態を示して詳しく説明する。

<電流生成供給回路の一実施形態>

まず、本発明に係る電流生成供給回路及びその制御方法について、図面を参照して説明する。

図1は、本発明に係る電流生成供給回路の一実施形態を示す概略構成図である。

【0048】

図1に示すように、本実施形態に係る電流生成供給回路ILAは、電流値を指定するための複数ビット（本実施形態においては、4ビットの場合を示す）のデ

デジタル信号 d_0 、 d_1 、 d_2 、 d_3 ($d_0 \sim d_3$) を個別に取り込んで保持 (ラッチ) するラッチ回路 LC_0 、 LC_1 、 LC_2 、 LC_3 ($LC_0 \sim LC_3$) を備えた信号ラッチ部 10 と、電流発生源 (定電流源) IRA から供給される一定の電流値を有する基準電流 I_{ref} を取り込み、上記信号ラッチ部 10 (各ラッチ回路 $LC_0 \sim LC_3$) から出力される出力信号 d_{10} 、 d_{11} 、 d_{12} 、 d_{13} ($d_{10} \sim d_{13}$) に基づいて、基準電流 I_{ref} に対して所定比率の電流値を有する負荷駆動電流 ID を生成して出力する電流生成部 20A と、を有して構成されている。ここで、電流発生源 IRA は、電流供給線 LS を介して電流生成部 20A 方向に基準電流 I_{ref} を流すために、高電位電源に接続された電源接点 +V に接続されている。

【0049】

以下、上記各構成について、具体的に説明する。

図 2 は、本実施形態に適用されるラッチ回路の一具体例を示す回路構成図であり、図 3 は、本実施形態に適用される電流生成部の一具体例を示す回路構成図である。

信号ラッチ部 10 は、図 1 に示すように、デジタル信号 $d_0 \sim d_3$ のビット数 (4 ビット) に応じた数のラッチ回路 $LC_0 \sim LC_3$ が並列に設けられ、図示を省略したタイミングジェネレータやシフトレジスタ等から出力されるタイミング制御信号 CLK に基づいて、各々個別に供給される上記デジタル信号 $d_0 \sim d_3$ を同時に取り込み、当該デジタル信号 $d_0 \sim d_3$ に基づく信号レベルを出力、保持する動作を実行する。

【0050】

ここで、信号ラッチ部 10 を構成する各ラッチ回路 $LC_0 \sim LC_3$ は、図 2 に示すように、p チャネル型及び n チャネル型の電界効果型トランジスタ (MOS T) を直列に接続した周知の相補型トランジスタ回路 (CMOS) を複数備えた構成を適用することができる。

具体的には、図 2 に示すように、ラッチ回路 LC ($LC_0 \sim LC_3$) は、p チャネル型トランジスタ Tr_1 及び n チャネル型トランジスタ Tr_2 からなる CMOS 11 と、p チャネル型トランジスタ Tr_3 及び n チャネル型トランジスタ T

r 4 からなる CMOS 12 と、p チャネル型トランジスタ Tr 5 及び n チャネル型トランジスタ Tr 6 からなる CMOS 13 と、p チャネル型トランジスタ Tr 7 及び n チャネル型トランジスタ Tr 8 からなる CMOS 14 と、p チャネル型トランジスタ Tr 9 及び n チャネル型トランジスタ Tr 10 からなる CMOS 15 と、p チャネル型トランジスタ Tr 11 及び n チャネル型トランジスタ Tr 12 からなる CMOS 16 と、を備えた構成を有している。

【0051】

CMOS 11 の入力接点（ラッチ回路 LC のクロック入力端子）CK には、タイミング制御信号（クロック信号）CLK が入力され、その出力接点 N 11 は CMOS 12 の入力接点に接続されている。また、CMOS 13 の入力端子には、上記タイミング制御信号 CLK が入力され、その出力接点 N 12 は CMOS 12 の出力接点とともに、CMOS 14 の入力接点に接続されている。CMOS 14 の出力接点 N 13 は、CMOS 15 及び CMOS 16 の入力接点に接続されるとともに、該出力接点 N 13 の信号レベルが反転出力信号として、ラッチ回路 LC の反転出力端子 OT*（明細書中では、便宜的に「OT*」と記す；図 2 の符号参照）から出力される。一方、CMOS 15 の出力接点 N 15 の信号レベルは、非反転出力信号として、ラッチ回路 LC の非反転出力端子 OT から出力される。

【0052】

また、CMOS 11、CMOS 14、CMOS 15 及び CMOS 16 を構成する各 p チャネル型トランジスタ Tr 1、Tr 7、Tr 9 及び Tr 11 は、電流路の一端が高電位電源 Vdd に接続され、また、各 n チャネル型トランジスタ Tr 2、Tr 8、Tr 10 及び Tr 12 は、電流路の一端が低電位電源 Vgnd（接地電位）に接続されている。CMOS 12 の p チャネル型トランジスタ Tr 3 及び CMOS 13 の n チャネル型トランジスタ Tr 6 は、電流路の一端がラッチ回路 LC の信号入力端子 IN に接続されて、上記デジタル信号 d 0 ～ d 3 が入力され、また、CMOS 12 の n チャネル型トランジスタ Tr 4 及び CMOS 13 の p チャネル型トランジスタ Tr 5 は、電流路の一端が上記 CMOS 16 の出力接点 N 14 に接続されている。

【0053】

このような構成を有する信号ラッチ部 10 においては、最初のタイミング制御信号 CLK (所定の信号幅を有するハイレベルのパルス信号) が印加されると、CMOS 12 の p チャンネル型トランジスタ Tr 3 側及び CMOS 13 の n チャンネル型トランジスタ Tr 6 がオン動作して、当該タイミングにおけるデジタル信号 d0 ~ d3 が取り込まれ、CMOS 12 及び CMOS 13 の共通の出力接点 N12 の信号レベルがデジタル信号 d0 ~ d3 により規定される。これにより、出力接点 N12 の信号レベル (デジタル信号 d0 ~ d3 の信号レベル) に基づいて、非反転出力端子 OT 及び反転出力端子 OT*、CMOS 16 の出力接点 N14 の各信号レベル (ハイレベル/ローレベル) が確定する。

【0054】

ここで、上記タイミング制御信号 CLK の印加後 (すなわち、タイミング制御信号 CLK がローレベル状態) においては、CMOS 12 の p チャンネル型トランジスタ Tr 3 側及び CMOS 13 の n チャンネル型トランジスタ Tr 6 がオフ動作するが、CMOS 12 の n チャンネル型トランジスタ Tr 4 及び CMOS 13 の p チャンネル型トランジスタ Tr 5 がオン動作して、CMOS 16 の出力接点 N14 の信号レベル (非反転出力信号 (非反転出力端子 OT の信号レベル) と同等) が取り込まれて、CMOS 12 及び CMOS 13 の共通の出力接点 N12 の信号レベルが規定される。これにより、タイミング制御信号 CLK の印加時と同等の信号レベルを有する非反転出力信号 (非反転出力端子 OT の信号レベル) 及び反転出力信号 (反転出力端子 OT* の信号レベル) が継続して出力される。この出力信号の信号レベルは、次のタイミング制御信号 CLK の印加時における信号入力端子 IN の信号レベル (デジタル信号 d0 ~ d3 の信号レベル) が変化するまで、同一の出力状態が保持される。

【0055】

一方、電流生成部 20A は、図 3 に示すように、基準電流 Iref に対して、各々、異なる比率の電流値を有する複数の単位電流 (以下、「階調電流」と記す) Idsa、Idsb、Idsc、Idsd を生成するカレントミラー回路部 21A と、上記複数の階調電流 Idsa ~ Idsd のうち、上記信号ラッチ部 10 の各ラッチ回路 LC0 ~ LC3 からの出力信号 d10、d11、d12、d13 (図 2 に示した非反転

出力端子 O_T の信号レベル) に基づいて、任意の階調電流を選択するスイッチ回路部 22A と、を備えている。

【0056】

具体的には、図3に示すように、電流生成部 20A に適用されるカレントミラー回路部 21A は、電流供給線 L_s を介して基準電流 I_{ref} が供給される電流入力接点 I_{Ni} と低電位電源 (接地電位) V_{gnd} との間に電流路 (ソースドレイン端子) が接続されるとともに、制御端子 (ゲート端子) が接点 N_g に接続された n チャネル型のトランジスタ (基準電流トランジスタ) Tr_{21} と、各接点 N_a 、 N_b 、 N_c 、 N_d と低電位電源 V_{gnd} との間に各電流路が接続されるとともに、制御端子が接点 N_g に共通に接続された複数 (ラッチ回路 $LC_0 \sim LC_3$ に対応した4個) の n チャネル型のトランジスタ (階調電流トランジスタ) Tr_{22} 、 Tr_{23} 、 Tr_{24} 、 Tr_{25} と、を備えた構成を有している。ここで、接点 N_g は、電流入力接点 I_{Ni} に直接接続されているとともに、低電位電源 V_{gnd} との間に容量 C_1 が接続された構成を有している。

【0057】

また、電流生成部 20A に適用されるスイッチ回路部 22A は、負荷が接続される電流出力接点 O_{Ui} と各接点 N_a 、 N_b 、 N_c 、 N_d との間に電流路が接続されるとともに、制御端子に上記各ラッチ回路 $LC_0 \sim LC_3$ から個別に出力される出力信号 $d_{10} \sim d_{13}$ が並列的に印加される複数 (4個) の n チャネル型のトランジスタ Tr_{26} 、 Tr_{27} 、 Tr_{28} 、 Tr_{29} と、を備えた構成を有している。

ここで、本実施形態に係る電流生成部 20A においては、特に、カレントミラー回路部 21A を構成する各階調電流トランジスタ $Tr_{22} \sim Tr_{25}$ に流れる階調電流 $I_{dsa} \sim I_{dsd}$ が、基準電流トランジスタ Tr_{21} に流れる基準電流 I_{ref} に対して、各々異なる所定の比率の電流値を有するように設定されている。具体的には、各階調電流トランジスタ $Tr_{22} \sim Tr_{25}$ のトランジスタサイズが、各々異なる比率、例えば、各階調電流トランジスタ $Tr_{22} \sim Tr_{25}$ のチャネル長を一定とした場合の各チャネル幅の比 ($W_2 : W_3 : W_4 : W_5$) が $1 : 2 : 4 : 8$ になるように形成されている。

【0058】

これにより、各階調電流トランジスタ $T_{r22} \sim T_{r25}$ に流れる階調電流 $I_{dsa} \sim I_{dsd}$ の電流値は、基準電流トランジスタ T_{r21} のチャネル幅を $W1$ とすると、各々 $I_{dsa} = (W2/W1) \times I_{ref}$ 、 $I_{dsb} = (W3/W1) \times I_{ref}$ 、 $I_{dsc} = (W3/W1) \times I_{ref}$ 、 $I_{dsd} = (W4/W1) \times I_{ref}$ に設定される。すなわち、階調電流トランジスタ $T_{r22} \sim T_{r25}$ のチャネル幅を、各々 2^n ($n=0, 1, 2, 3, \dots$; $2^n=1, 2, 4, 8, \dots$) に設定することにより、階調電流間の電流値を 2^n で規定される比率に設定することができる。

【0059】

このように電流値が設定された各階調電流 $I_{dsa} \sim I_{dsd}$ から、後述するように、複数ビットのデジタル信号 $d0 \sim d3$ (出力信号 $d10 \sim d13$) に基づいて、任意の階調電流を選択して合成することにより、 2^n 段階の電流値を有する負荷駆動電流 I_D が生成される。すなわち、図1乃至図3に示したように、4ビットのデジタル信号 $d0 \sim d3$ を適用した場合、各階調電流トランジスタ $T_{r22} \sim T_{r25}$ に接続されるトランジスタ $T_{r26} \sim T_{r29}$ のオン状態に応じて、 $2^4 = 16$ 段階の異なる電流値を有する負荷駆動電流 I_D が生成される。

【0060】

このような構成を有する電流生成部 20A においては、上記ラッチ回路 $LC0 \sim LC3$ から出力される出力信号 $d10 \sim d13$ の信号レベルに応じて、スイッチ回路部 22A の特定のトランジスタがオン動作 (トランジスタ $T_{r26} \sim T_{r29}$ のいずれか 1 つ以上がオン動作する場合のほか、いずれのトランジスタ $T_{r26} \sim T_{r29}$ もオフ動作する場合を含む) し、該オン動作したトランジスタに接続されたカレントミラー回路部 22A の階調電流トランジスタ ($T_{r22} \sim T_{r25}$ のいずれか 1 つ以上) に、基準電流トランジスタ T_{r21} に流れる基準電流 I_{ref} に対して、所定比率 ($a \times 2^n$ 倍; a は基準電流トランジスタ T_{r21} のチャネル幅 $W1$ により規定される定数) の電流値を有する階調電流 $I_{dsa} \sim I_{dsd}$ が流れ、上述したように、電流出力接点 OUT_i において、これらの階調電流の合成値となる電流値を有する負荷駆動電流 I_D が、図示を省略した負荷側から、電流出力接点 OUT_i 、オン状態にあるトランジスタ ($T_{r26} \sim T_{r29}$ の

いずれか) 及び階調電流トランジスタ ($Tr22 \sim Tr25$ のいずれか) を介して低電位電源 V_{gnd} に流れる。

【0061】

したがって、本実施形態に係る電流生成供給回路 ILA においては、タイミング制御信号 CLK により規定されるタイミングで、信号ラッチ部 $21A$ に入力される複数ビットのデジタル信号 $d0 \sim d3$ に応じて、電流生成部 $22A$ により所定の電流値を有するアナログ電流からなる負荷駆動電流 ID が生成されて、負荷に供給されることになる (本実施形態においては、上述したように、負荷側から電流生成供給回路方向に負荷駆動電流が引き込まれる)。

なお、後述するように、上記複数ビットのデジタル信号としては、表示装置に所望の画像情報を表示するための表示データ (表示信号) を適用することでき、この場合において、電流生成供給回路により生成、出力される負荷駆動電流は、表示パネルを構成する各表示画素に供給される書込電流、又は、各表示画素の発光素子に供給される発光駆動電流に対応する。詳しくは、後述する。

【0062】

<電流生成供給回路の他の実施形態>

次に、本発明に係る電流生成供給回路の他の実施形態について、図面を参照して説明する。

図4は、本発明に係る電流生成供給回路の他の実施形態を示す概略構成図である。図5は、本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。ここで、上述した実施形態と同等の構成については、同一の符号を付して、その説明を簡略化する。

上述した実施形態においては、電流生成供給回路 ILA に接続された負荷側から、電流生成供給回路 ILA 方向に負荷駆動電流 ID を引き込むように構成した場合 (便宜的に、「電流シンク方式」と記す) について示したが、本実施形態においては、電流生成供給回路側から負荷方向に負荷駆動電流を流し込む構成 (便宜的に、「電流印加方式」と記す) を有している。

【0063】

具体的には、図4に示すように、本実施形態に係る電流生成供給回路 ILB は

、上述した実施形態と同等の構成を有する信号ラッチ部 10 と、電流生成部 20 B と、を有するとともに、電流生成部 20 B に電流供給線 L_s を介して接続された電流発生源 I_{RB} が、電流生成部 20 B 側から電流発生源 I_{RB} 方向に基準電流 I_{ref} を流すように、低電位電源 V_{gnd} に接続されている。

信号ラッチ部 10 は、複数のデジタル信号 $d_0 \sim d_3$ に対応してラッチ回路 $LC_0 \sim LC_3$ が個別に設けられた構成を有し、各ラッチ回路 $LC_0 \sim LC_3$ の反転出力信号 $d_{10}^* \sim d_{13}^*$ (図 2 に示した反転出力端子 OT^* の信号レベルであって、明細書中では、便宜的に「 $d_{10}^* \sim d_{13}^*$ 」と記す; 図 4 の符号参照) が電流生成部 20 B に出力されるように接続されている。

【0064】

本実施形態に係る電流生成部 20 B は、図 5 に示すように、概略、上述した実施形態 (図 3 参照) と略同等の回路構成を有するカレントミラー回路部 21 B 及びスイッチ回路部 22 B と、を備え、各ラッチ回路 $LC_0 \sim LC_3$ からの出力信号 $d_{10}^* \sim d_{13}^*$ に基づいて、基準電流 I_{ref} に対して、所定比率の電流値を有する複数の階調電流 I_{dsi} 、 I_{dsj} 、 I_{dsk} 、 I_{dsl} を任意に選択、合成して生成される負荷駆動電流 I_D を負荷に供給するように構成されている。

【0065】

具体的には、カレントミラー回路部 21 B 及びスイッチ回路部 22 B を構成する全てのトランジスタ $Tr_{31} \sim Tr_{39}$ が p チャネル型からなり、基準電流トランジスタ Tr_{31} は、電流入力接点 IN_i と電源接点 $+V$ との間に接続されるとともに、制御端子が電流入力接点 IN_i 及び接点 N_g 並びに容量 C_1 を介して電源接点 $+V$ に接続され、また、階調電流トランジスタ $Tr_{32} \sim Tr_{35}$ は、各々、接点 N_i 、 N_j 、 N_k 、 N_l と電源接点 $+V$ との間に接続されるとともに、制御端子が接点 N_g に共通に接続され、また、スイッチング用のトランジスタ $Tr_{36} \sim Tr_{39}$ は、各々、上記接点 N_i 、 N_j 、 N_k 、 N_l と電流出力接点 OUT_i との間に接続されるとともに、制御端子に各々、ラッチ回路 $LC_0 \sim LC_3$ から出力される出力信号 $d_{10}^* \sim d_{13}^*$ が並列的に印加されるように構成されている。

【0066】

ここで、本実施形態においても、カレントミラー回路部 21B を構成する各階調電流トランジスタ $T_{r32} \sim T_{r35}$ のトランジスタサイズ（すなわち、チャネル長を一定とした場合のチャネル幅）が、基準電流トランジスタを基準として、所定の比率になるように形成され、各電流路に流れる階調電流 $I_{dsi} \sim I_{dsl}$ が、基準電流 I_{ref} に対して、各々異なる所定の比率の電流値を有するように設定されている。

【0067】

これにより、本実施形態に係る電流生成供給回路 20B においても、信号ラッチ部 20B（ラッチ回路 $L_{C0} \sim L_{C3}$ ）から出力される出力信号 $d_{10*} \sim d_{13*}$ の信号レベルに応じて、スイッチ回路部 22B の特定のトランジスタ $T_{r36} \sim T_{r39}$ がオン動作して、階調電流トランジスタ $T_{r32} \sim T_{r35}$ を介して基準電流 I_{ref} の所定比率倍の電流値を有する階調電流 $I_{dsi} \sim I_{dsl}$ が流れ、これらの合成電流が電流出力接点 OUT_i を介して負荷駆動電流 I_D として図示を省略した負荷に供給される（本実施形態においては、電流生成供給回路側から負荷方向に負荷駆動電流が流れ込む）。

【0068】

したがって、上述した各実施形態に示した電流生成供給回路 ILA 、 ILB においては、電流発生源 IRA 、30B から電流供給線 L_s を介して、電流生成部 20A、20B に基準電流 I_{ref} を供給し、複数ビットのデジタル信号 $d_0 \sim d_3$ （信号ラッチ部 10 の出力信号 $d_{10} \sim d_{13}$ 、 $d_{10*} \sim d_{13*}$ ）に基づいて、該基準電流 I_{ref} に対して所定比率の電流値を有する複数の階調電流 $I_{dsi} \sim I_{dsl}$ から特定の階調電流を選択、合成して、所望の電流値を有する負荷駆動電流 I_D を生成、出力することにより、上記電流供給線（信号配線） L_s に供給される電流（基準電流）の変化に伴う電位変動をほとんど生じることがないので、例えば、生成される負荷駆動電流が微少な場合であっても、該寄生容量の充放電に起因する電流生成供給回路の動作遅延を招くことがなくなり、電流生成供給回路、又は、電流生成供給回路を適用した電流駆動装置の動作速度に対する制約を緩和して、負荷をより高速に駆動することができる。

【0069】

そして、上述したような構成及び機能を有する電流生成供給回路は、表示装置の駆動制御装置（データドライバ）、もしくは、表示装置（表示パネル）の表示画素を構成する画素駆動回路に良好に適用することができる。以下に、本発明に係る電流生成供給回路を備えた表示装置について、具体的に説明する。

<第1の適用例>

まず、本発明に係る電流生成供給回路を表示装置の駆動制御装置（データドライバ）に適用した場合の実施形態について、図面を参照して説明する。

【0070】

<表示装置>

図6は、本発明に係る電流生成供給回路を適用可能な表示装置の第1の実施形態を示す概略ブロック図であり、図7は、本実施形態に係る表示装置に適用される表示パネルの一例を示す概略構成図である。また、図8は、本実施形態に係る表示装置の他の構成例を示す概略ブロック図である。ここでは、表示パネルとしてアクティブマトリクス方式に対応した表示画素を備えた構成について説明する。また、本実施形態においては、電流シンク方式を採用した構成について説明する。

【0071】

図6、図7に示すように、本実施形態に係る表示装置100Aは、概略、複数の表示画素がマトリクス状に配列された表示パネル110Aと、表示パネル110Aの行方向に配列された表示画素群ごとに、共通に接続された走査ライン（走査線）SLに接続された走査ドライバ（走査駆動手段）120Aと、表示パネル110Aの列方向に配列された表示画素群ごとに、共通に接続されたデータライン（信号線）DLに接続されたデータドライバ（信号駆動手段）130Aと、上記走査ラインSLに並行して配設され、表示パネル110Aの行方向に配列された表示画素群ごとに、共通に接続された電源ラインVLに接続された電源ドライバ140と、走査ドライバ120A及びデータドライバ130A、電源ドライバ140の動作状態を制御する各種制御信号を生成、出力するシステムコントローラ150と、表示装置100Aの外部から供給される映像信号に基づいて、表示データやタイミング信号等を生成する表示信号生成回路160と、を備えて構成

されている。

【0072】

以下、上記各構成について具体的に説明する。

(表示パネル)

表示パネル 110A は、具体的には、図 7 に示すように、相互に並列に配設された複数の走査ライン SL 及び電源ライン VL と、該走査ライン SL 及び電源ライン VL に対して、直交するように配設された複数のデータライン DL と、これらの直交するラインの各交点近傍に配列された複数の表示画素（図 7 中、後述する画素駆動回路 DCx 及び有機 EL 素子 OEL からなる構成）と、を備えた構成を有している。

【0073】

表示画素は、例えば、走査ドライバ 120 から走査ライン SL を介して印加される走査信号 Vsel、及び、データドライバ 130A からデータライン DL を介して供給される書込電流（駆動電流）I_{pix}、電源ドライバ 140 から電源ライン VL を介して印加される電源電圧 V_{sc} に基づいて、各表示画素における書込電流 I_{pix} の書込動作及び発光動作を制御する画素駆動回路 DCx と、該画素駆動回路 DCx から供給される発光駆動電流の電流値に応じて発光輝度が制御される、周知の有機 EL 素子（発光素子）OEL と、を有して構成されている。なお、本実施形態においては、電流駆動型の発光素子として有機 EL 素子 OEL を適用した場合について示すが、発光ダイオード等の他の発光素子を適用するものであってもよい。

【0074】

ここで、画素駆動回路 DCx は、概略、走査信号 Vsel に基づいて各表示画素の選択／非選択状態を制御し、選択状態において表示データに応じた書込電流 I_{pix} を取り込んで電圧レベルとして保持し、非選択状態において上記保持した電圧レベルに応じた発光駆動電流を有機 EL 素子 OEL に供給して、所定の輝度階調で発光させる動作を維持する機能を有している。なお、画素駆動回路 DCx に適用可能な回路構成例については後述する。

【0075】

(走査ドライバ)

走査ドライバ120Aは、システムコントローラ150から供給される走査制御信号に基づいて、所定のタイミングで各走査ラインSLに選択レベル（例えば、ハイレベル）の走査信号Vselを順次印加することにより、各行ごとの表示画素群を選択状態とし、データドライバ130Aにより表示データに基づく書込電流I_{pix}を各データラインDLに供給して、各表示画素に所定の書込電流を書き込むように制御する。

【0076】

走査ドライバ120Aは、具体的には、図7に示すように、シフトレジスタとバッファからなるシフトブロックSBを、各走査ラインSLごとに対応させて複数段備え、システムコントローラ150から供給される走査制御信号（走査スタート信号SSTR、走査クロック信号SCLK等）に基づいて、シフトレジスタにより表示パネル110Aの上方から下方に順次シフトしつつ出力されたシフト信号が、バッファを介して所定の電圧レベル（選択レベル）を有する走査信号Vselとして各走査ラインSLに印加される。

【0077】

(データドライバ)

データドライバ130Aは、システムコントローラ150から供給されるデータ制御信号（サンプリングスタート信号STR、シフトクロック信号SFC等）に基づいて、表示信号生成回路160から供給される複数ビットのデジタル信号からなる表示データを取り込んで保持し、当該表示データに対応する電流値を有する書込電流I_{pix}を生成して、各データラインDLに同時並行的に供給するように制御する。すなわち、本実施形態に係るデータドライバ130Aにおいては、上述した本発明に係る電流生成供給回路（図1参照）を良好に適用することができる。データドライバ130Aの具体的な回路構成例やその駆動制御動作については後述する。

【0078】

(電源ドライバ)

電源ドライバ140は、システムコントローラ150から供給される電源制御

信号に基づいて、走査ドライバ120Aにより各行ごとの表示画素群が選択状態に設定されるタイミングに同期して、電源ラインVLに選択レベルの電源電圧Vsc（例えば、接地電位以下に設定されたローレベル）を印加することにより、例えば、電源ラインVLから表示画素（画素駆動回路DCx）を介してデータドライバ130A方向に、表示データに基づく所定の書込電流Ipixを引き込み、一方、走査ドライバ120により各行ごとの表示画素群が非選択状態に設定されるタイミングに同期して、電源ラインVLに非選択レベル（例えば、ハイレベル）の電源電圧Vscを印加することにより、例えば、電源ラインVLから表示画素（画素駆動回路DCx）を介して有機EL素子OEL方向に、上記書込電流Ipixと同等の発光駆動電流を流すように制御する。

【0079】

電源ドライバ140は、具体的には、図7に示すように、概略、上述した走査ドライバ120Aと同様に、シフトレジスタとバッファからなるシフトブロックSBを、各電源ラインVLごとに対応させて複数段備え、システムコントローラ150から供給され、上記走査制御信号に同期する電源制御信号（電源スタート信号VSTR、電源クロック信号VCLK等）に基づいて、シフトレジスタにより表示パネル110Aの上方から下方に順次シフトしつつ出力されたシフト信号が、バッファを介して所定の電圧レベル（例えば、走査ドライバ120による選択状態においてはローレベル、非選択状態においてはハイレベル）を有する電源電圧Vscとして各電源ラインVLに印加される。

【0080】

（システムコントローラ）

システムコントローラ150は、後述する表示信号生成回路160から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120A及びデータドライバ130A、電源ドライバ140の各々に対して、走査制御信号及びデータ制御信号（上述した走査スタート信号SSTRや走査クロック信号SCLK、サンプリングスタート信号STRやシフトクロック信号SFC等）、電源制御信号（電源スタート信号VSTR、電源クロック信号VCLK等）を生成して出力することにより、各ドライバを所定のタイミングで動作させて、表示パネル11

0 Aに走査信号Vsel及び書込電流I_{pix}、電源電圧V_{sc}を出力させ、画素駆動回路DC_xにおける所定の制御動作を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110 Aに表示させる制御を行う。

【0081】

(表示信号生成回路)

表示信号生成回路160は、例えば、表示装置100 Aの外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110 Aの1行分ごとに、該輝度階調信号成分を、複数ビットのデジタル信号からなる表示データとしてデータドライバ130 Aに供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路160は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ150に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ150は、表示信号生成回路160から供給されるタイミング信号に基づいて、走査ドライバ120やデータドライバ130 A、電源ドライバ140に対して供給する上記走査制御信号及びデータ制御信号、電源制御信号を生成する。

【0082】

なお、本実施形態においては、表示パネル110 Aの周辺に付設されるドライバとして、図6及び図7に示したように、走査ドライバ120 A及び電源ドライバ140を個別に配置した構成について説明したが、本発明はこれに限定されるものではない。例えば、上述したように、走査ドライバ120 A及び電源ドライバ140は、タイミングが同期する同等の制御信号（走査制御信号及び電源制御信号）に基づいて動作するので、例えば、図8に示すように、走査ドライバ120 Bに、走査信号Vselの生成、出力タイミングに同期して電源電圧V_{sc}を供給する機能を有するように構成したものであってもよい。このような構成によれば、周辺回路の構成を簡素化、省スペース化することができる。

【0083】

また、図6乃至図8に示した表示装置の構成は、表示パネルを構成する各表示

画素に設けられる画素駆動回路が後述するように（図9参照）、走査信号 V_{sel} とともに電源電圧 V_{sc} の信号レベルを適宜設定制御することにより、所定の駆動制御動作を実現する回路構成を有する場合に対応したものであるが、本発明はこれに限定されるものではなく、後述するように（図13参照）、例えば、画素駆動回路が高電位電源に直接接続されて、定常的に一定の電圧レベルが印加される回路構成を有するものであってもよく、この場合、図6及び図7に示した表示装置において電源ドライバ140を有していない構成を適用することもできる。

【0084】

<画素駆動回路の構成例>

次いで、上述した表示装置（表示パネル）の各表示画素に適用される画素駆動回路について簡単に説明する。

図9は、本実施形態に係る表示装置に適用することができる画素駆動回路の一実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、本発明に係る表示装置に適用可能なごく一例を示すにすぎず、同等の動作機能を有する他の回路構成を有するものであってもよいことはいうまでもない。

【0085】

図9に示すように、本実施例に係る画素駆動回路 DC_x は、例えば、相互に直交するように配設された走査ライン SL とデータライン DL との交点近傍に、ゲート端子が走査ライン SL に、ソース端子が走査ライン SL に平行に配設された電源ライン VL に、ドレイン端子が接点 N_{xa} に各々接続された n チャネル型トランジスタ Tr_{41} と、ゲート端子が走査ライン SL に、ソース端子及びドレイン端子がデータライン DL 及び接点 N_{xb} に各々接続された n チャネル型トランジスタ Tr_{42} と、ゲート端子が接点 N_{xa} に、ソース端子及びドレイン端子が電源ライン VL 及び接点 N_{xb} に各々接続された n チャネル型トランジスタ Tr_{43} と、接点 N_{xa} 及び接点 N_{xb} 間に接続されたコンデンサ C_x と、を備えた構成を有している。

【0086】

また、このような画素駆動回路 DC_x から供給される発光駆動電流により発光輝度が制御される有機EL素子OELは、アノード端子が上記画素駆動回路 DC

x の接点 N12 に、また、カソード端子が接地電位 V_{gnd} に各々接続された構成を有している。ここで、コンデンサ C_x は、n チャネル型トランジスタ T_{r43} のゲートソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲートソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

【0087】

このような構成を有する画素駆動回路 DC_x における有機 EL 素子 OEL の駆動制御動作は、まず、書込動作期間において、走査ライン SL に対して、ハイレベル（選択レベル）の走査信号 V_{sel} を印加するとともに、電源ライン VL に対して、ローレベルの電源電圧 V_{sc} を印加する。また、このタイミングに同期して、有機 EL 素子 OEL を所定の輝度階調で発光動作させるために必要な所定の書込電流 I_{pix} （上述した負荷駆動電流 I_D に相当する）をデータライン DL に供給する。ここでは、書込電流 I_{pix} として、負極性の電流を供給し、画素駆動回路 DC_x 側からデータライン DL を介してデータドライバ 130A 方向に当該電流を引き込むように設定する。

【0088】

これにより、画素駆動回路 DC_x を構成する n チャネル型トランジスタ T_{r41} 及び T_{r42} がオン動作して、ローレベルの電源電圧 V_{sc} が接点 N_{xa} （すなわち、n チャネル型トランジスタ T_{r43} のゲート端子及びコンデンサ C_x の一端側）に印加されるとともに、書込電流 I_{pix} の引き込み動作により n チャネル型トランジスタ T_{r42} を介してローレベルの電源電圧 V_{sc} よりも低電位の電圧レベルが接点 N_{xb} （すなわち、n チャネル型トランジスタ T_{r43} のソース端子及びコンデンサ C_x の他端側）に印加される。

【0089】

このように、接点 N_{xa} 及び N_{xb} 間（n チャネル型トランジスタ T_{r43} のゲートソース間）に電位差が生じることにより、n チャネル型トランジスタ T_{r43} がオン動作して、電源ライン VL から n チャネル型トランジスタ T_{r43} 、接点 N_{xb} 、薄膜トランジスタ T_{r42} を介して、データライン DL 方向に書込電流 I_{pix} に対応した書込動作電流が流れる（後述する図 12 参照）。

このとき、コンデンサ C_x には、接点 N_{xa} 及び N_{xb} 間に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、このとき、有機 EL 素子 OEL のアノード端子（接点 N_{xb} ）に印加される電位は、カソード端子の電位（接地電位）よりも低くなり、有機 EL 素子 OEL に逆バイアス電圧が印加されることになるため、有機 EL 素子 OEL には発光駆動電流が流れず、発光動作は行われぬ。

【0090】

次いで、発光動作期間においては、走査ライン SL に対して、ローレベル（非選択レベル）の走査信号 V_{sel} を印加するとともに、電源ライン VL に対して、ハイレベルの電源電圧 V_{sc} を印加する。また、このタイミングに同期して、書込電流 I_{pix} （すなわち、書込制御電流）の引き込み動作を停止する。

これにより、 n チャンネル型トランジスタ Tr_{41} 及び Tr_{42} がオフ動作して、接点 N_{xa} への電源電圧 V_{sc} の印加が遮断されるとともに、接点 N_{xb} への書込電流 I_{pix} の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ C_x は、上述した書込動作において蓄積された電荷を保持する。

【0091】

このように、コンデンサ C_x が書込動作時の充電電圧を保持することにより、接点 N_{xa} 及び N_{xb} 間（ n チャンネル型トランジスタの Tr_{43} のゲートソース間）の電位差が保持されることになり、 n チャンネル型トランジスタ Tr_{43} はオン状態を維持する。また、電源ライン VL には、接地電位よりも高い電圧レベルを有する電源電圧 V_{sc} が印加されるので、有機 EL 素子 OEL のアノード端子（接点 N_{xb} ）に印加される電位は、カソード端子の電位（接地電位）よりも高くなる。

【0092】

したがって、電源ライン VL から n チャンネル型トランジスタ Tr_{43} 、接点 N_{xb} を介して、有機 EL 素子 OEL に順バイアス方向に発光駆動電流が流れ、有機 EL 素子 OEL が所定の輝度階調で発光する。ここで、コンデンサ C_{x1} により保持される電位差（充電電圧）は、上記書込動作時において n チャンネル型トランジスタ Tr_{13} に書込動作電流を流す際の電位差に相当するので、有機 EL 素子

OELに流れる発光駆動電流は、上記書込動作電流と同等の電流値を有することになる。これにより、発光動作期間においては、書込動作期間に書き込まれた所定の発光状態（輝度階調）に対応する電圧成分に基づいて、発光駆動電流が継続的に供給されることになり、有機EL素子OELは所望の輝度階調で発光する動作を継続する（後述する図12参照）。このように、本実施例に係る画素駆動回路においては、nチャネル型トランジスタTr43は、発光駆動用トランジスタとしての機能を有していることになる。

【0093】

<データドライバの一構成例>

次いで、上述した表示装置に適用されるデータドライバの構成について説明する。

本実施形態に係る表示装置に適用されるデータドライバは、概略、図1に示した電流生成供給回路が各データラインに個別に設けられ、各々の電流生成供給回路に対して、例えば、単一の電流発生源から共通の電流供給線を介して、一定の電流値を有する正の基準電流が供給されるように構成されている。

図10は、本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す回路構成図である。ここでは、上述した電流生成供給回路の構成と対応付けながら説明する。

【0094】

具体的には、本実施例に係るデータドライバ130Aは、例えば、図10に示すように、システムコントローラ150からデータ制御信号として供給されるシフトクロック信号SFCに基づいて、サンプリングスタート信号STRをシフトしつつ、所定のタイミングでシフト信号SR1、SR2、SR3、・・・（上述したタイミング制御信号CLKに相当する）を順次出力するシフトレジスタ回路131と、該シフトレジスタ回路131からのシフト信号SR1、SR2、SR3、・・・の入力タイミングに基づいて、表示信号生成回路160から順次供給される1行分の表示データD0～Dk（ここでは、便宜的にk=3とする；上述したデジタル信号d0～d3に相当する）を順次取り込み、各表示画素における発光輝度に対応した書込電流I_{pix}を生成して、各データラインDL1、DL2

、・・・を介して供給する書込電流生成回路群 132A と、該書込電流生成回路群 132A を構成する各書込電流生成回路（上述した電流生成供給回路 ILA に相当する）ILA1、ILA2、・・・に対して、データドライバ 130A の外部に設けられた電流発生源 IR（上述した電流発生源 IRA に相当する）から一定の電流値を有する基準電流 Iref を定常的に供給する共通の電流供給線 Ls と、を備えて構成されている。

【0095】

ここで、書込電流生成回路群 132A を構成する各書込電流生成回路 ILA1、ILA2、・・・は、信号ラッチ回路 101、102、103、・・・（上述した信号ラッチ部 10 に相当する）及び電流生成回路 201A、202A、203A、・・・（上述した電流生成部 20A に相当する）を備えた構成を有している。

なお、本実施形態においては、単一の電流発生源から基準電流が供給されるものとしたが、本発明はこれに限るものではなく、表示装置において、例えば、データドライバが複数個用いられている場合に、各データドライバ毎に電流発生源を備えるものであってもよく、更には、複数の書込電流生成回路毎に電流発生源を備えるものであってもよい。

【0096】

<表示装置の駆動制御方法>

次に、上述した構成を有する表示装置の動作について、図面を参照して説明する。

図 11 は、本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートであり、図 12 は、本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。ここでは、図 9 に示したデータドライバの構成に加え、図 1 乃至図 3 に示した電流生成供給回路の構成も適宜参照しながら説明する。

【0097】

まず、データドライバ 130A における制御動作は、上述した書込電流生成回路 ILA1、ILA2、ILA3、・・・に設けられた信号ラッチ回路 101、

102、103、・・・に、表示信号生成回路160から供給される表示データD0～D3を取り込み、一定期間保持する信号保持動作と、該信号保持動作により取り込まれた表示データD0～D3の保持信号D10～D13、D20～D23、D30～D33、・・・に基づいて、書込電流生成回路ILA1、ILA2、ILA3、・・・に設けられた電流生成回路201A、202A、203A、・・・により、上記表示データD0～D3に対応する書込電流 I_{pix} を生成して各データラインDL1、DL2、DL3、・・・を介して各表示画素に供給する電流生成供給動作と、を設定することにより実行される。

【0098】

ここで、信号保持動作においては、図11に示すように、シフトレジスタ回路131から順次出力されるシフト信号SR1、SR2、SR3、・・・に基づいて、上記各信号ラッチ回路101、102、103、・・・により、各列の表示画素（すなわち、各データラインDL1、DL2、DL3、・・・）に対応して切り替わる表示データD0～D3を順次取り込む動作が1行分連続的に実行され、該表示データD0～D3が取り込まれた信号ラッチ回路101、102、103、・・・から順に、一定期間（次のシフト信号SR1、SR2、SR3、・・・が出力されるまでの期間）、保持信号D10～D13、D20～D23、D30～D33、・・・が電流生成回路201、202、203、・・・に出力される。

【0099】

また、電流生成供給動作においては、図11に示すように、保持信号D10～D13、D20～D23、D30～D33、・・・に基づいて、各電流生成回路201A、202A、203A、・・・に設けられた複数のスイッチトランジスタ（図3に示したトランジスタTr26～Tr29）のオン／オフ状態が制御され、オン動作したスイッチトランジスタに接続された階調電流トランジスタ（図3に示したトランジスタTr22～Tr25）に流れる階調電流の合成電流が、書込電流 I_{pix} として各データラインDL1、DL2、DL3、・・・を介して順次供給される。

【0100】

ここで、書込電流 I_{pix} は、例えば、全てのデータライン $DL1$ 、 $DL2$ 、 $DL3$ 、・・・に対して、少なくとも一定期間、並列的（すなわち、同時並行的）に供給されるように設定される。また、本実施形態においては、上述したように、基準電流 I_{ref} に対して予めトランジスタサイズにより規定された所定比率（例えば、 $a \times 2^n$ ； $n=0, 1, 2, 3, \dots$ ）の電流値を有する複数の階調電流を生成し、上記保持信号に基づくスイッチトランジスタのオン/オフ動作により、所定の階調電流を選択して合成し、負極性の書込電流 I_{pix} を生成して、データライン $DL1$ 、 $DL2$ 、 $DL3$ 、・・・側からデータドライバ 130A 方向に引き込むように書込電流 I_{pix} を流す。

【0101】

なお、本実施例に係るデータドライバにおいては、図 10 に示したように、電流発生源 IR から一定の電流値を有する基準電流 I_{ref} が供給される共通の電流供給線 LS に対して、複数の書込電流生成回路 $ILA1$ 、 $ILA2$ 、・・・が並列的に接続された構成を有し、図 11 に示したように、各電流生成供給回路 $LA1$ 、 $LA2$ 、・・・において、表示データ $D0 \sim D3$ に基づいて、同時並行的に各データライン $DL1$ 、 $DL2$ 、 $DL3$ 、・・・（表示画素）への書込電流 I_{pix} が生成されるので、電流供給線 LS を介して各電流生成供給回路 $LA1$ 、 $LA2$ 、・・・に供給される電流は、電流発生源 IR により供給される基準電流 I_{ref} そのものではなく、上述した同時並行的に動作する書込電流生成回路の数（表示パネル 110A に配設されたデータラインの数に相当する；例えば、 m 個）に応じて、略均等分割された電流値（ I_{ref}/m ）を有する電流が供給されることになる。

【0102】

また、表示パネル 110A（表示画素）における制御動作は、図 12 に示すように、表示パネル 110A 一画面に所望の画像情報を表示する一走査期間 T_{sc} を 1 サイクルとして、該一走査期間 T_{sc} 内に、特定の走査ラインに接続された表示画素群を選択して、データドライバ 130A から供給される表示データに対応する書込電流 I_{pix} を書き込み、信号電圧として保持する書込動作期間（選択期間） T_{se} と、該保持された信号電圧に基づいて、上記表示データに応じた発光駆動

電流を有機EL素子OELに供給して、所定の輝度階調で発光動作させる発光動作期間（表示画素の非選択期間） T_{nse} と、を設定（ $T_{sc} = T_{se} + T_{nse}$ ）し、各動作期間において、上述した画素駆動回路DCxと同等の駆動制御を実行する。ここで、各行ごとに設定される書込動作期間 T_{se} は、相互に時間的な重なりが生じないように設定される。また、書込動作期間 T_{se} は、少なくとも、上記データドライバ130Aにおける電流生成供給動作において、各データラインへ書込電流 I_{pix} を並列的に供給する一定期間を含む期間に設定される。

【0103】

すなわち、表示画素への書込動作期間 T_{se} においては、図12に示すように、特定の行（i行目）の表示画素に対して、走査ドライバ120及び電源ドライバ140により走査ラインSL及び電源ラインVLを所定の信号レベルに走査することにより、データドライバ130Aにより各データラインDLに並列的に供給された書込電流 I_{pix} を電圧成分として一斉に保持する動作を実行し、その後の発光動作期間 T_{nse} においては、上記書込動作期間 T_{se} に保持された電圧成分に基づく発光駆動電流を有機EL素子OELに継続的に供給することにより、表示データに対応する輝度階調で発光動作が継続される。

このような一連の駆動制御動作を、図12に示すように、表示パネル110Aを構成する全ての行の表示画素群について順次繰り返し実行することにより、表示パネル1画面分の表示データが書き込まれて、各表示画素が所定の輝度階調で発光し、所望の画像情報が表示される。

【0104】

したがって、本実施形態に係るデータドライバ130A及び表示装置100Aにおいて、各データラインDLを介して特定の行の表示画素群に供給される書込電流 I_{pix} は、各書込電流生成回路ILA1、ILA2、・・・により、電流発生源IRから共通の電流供給線Lsを介して供給される基準電流Iref（詳しくは、基準電流Irefを書込電流生成回路の数で均等分割した電流）に基づいて生成されるので、表示データD0～D3（又は、書込電流 I_{pix} ）に応じて各書込電流生成回路ILA1、ILA2、・・・に供給される電流値が変動することがなく、電流供給線Lsの充放電動作に起因する動作の制約を緩和することができ

、データドライバの動作速度、さらには、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

【0105】

また、データドライバ（書込電流生成回路）において、上記基準電流が流れる基準電流トランジスタに対して、カレントミラー回路構成を有する複数の階調電流トランジスタのチャネル幅を、各々所定の比率（例えば、 2^n 倍）になるように設定することにより、基準電流に対して該比率により規定される電流値を有する複数の階調電流を流すことができ、表示データ（複数ビットのデジタル信号）により、これらを適宜合成することにより、 2^n 段階の電流値を有する書込電流を生成することができるので、表示データに対応した適切な電流値を有するアナログ電流からなる書込電流を、比較的簡易な回路構成により生成することができ、表示画素を適正な輝度階調で発光動作させることができる。

【0106】

なお、本実施形態においては、データドライバ及び表示画素（画素駆動回路）として、電流シンク方式に対応した構成を示したが、本発明はこれに限定されるものではなく、図4及び図5に示したように、データドライバから表示画素方向に書込電流を流し込むように供給する電流印加方式の回路構成を適用することもできる。以下、上述した表示装置（表示パネル）の他の例として、電流印加方式を適用した場合について説明する。

【0107】

電流印加方式を適用した表示装置は、概略、上述した第1の実施形態（図6乃至図8）と同様の表示パネル、走査ドライバ、データドライバ、システムコントローラ及び表示信号生成回路を備えた構成を有しているが、表示パネルを構成する各表示画素（画素駆動回路）及びデータドライバが以下に示すように異なる構成を有している。

（画素駆動回路）

図13は、本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、本発明に係る表示装置に適用可能なく一例を示すにすぎず、同等の動作機能を有する他の回路構成を有するもので

あってもよいことはいうまでもない。

【0108】

図13に示すように、本実施例に係る画素駆動回路DCyは、走査ラインSLとデータラインDLとの交点近傍に、ゲート端子が走査ラインSLに、ソース端子が走査ラインSLに、ソース端子及びドレイン端子が電源接点+V及び接点Nyaに各々接続されたpチャンネル型のトランジスタTr51と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点Nyaに各々接続されたnチャンネル型のトランジスタTr52と、ゲート端子が接点Nybに、ソース端子及びドレイン端子が接点Nya及び接点Nycに各々接続されたpチャンネル型のトランジスタTr53と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子が接点Nyb及び接点Nycに各々接続されたnチャンネル型のトランジスタTr52と、接点Nya及び接点Nyb間に接続されたコンデンサCyと、を備えた構成を有している。ここで、電源接点+Vは、図示を省略した電源ラインを介して、上述した実施形態に示した電源ドライバ、もしくは、直接高電位電源に接続され、一定の高電位電圧が印加される。

【0109】

また、このような画素駆動回路DCyから供給される発光駆動電流により発光輝度が制御される有機EL素子OELは、アノード端子が上記画素駆動回路DCyの接点Nycに、また、カソード端子が接地電位Vgndに各々接続された構成を有している。ここで、コンデンサCyは、トランジスタTr53のゲートーソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲートーソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

このような構成を有する画素駆動回路DCyにおける有機EL素子OELの駆動制御動作は、まず、書込動作期間において、走査ラインSLに対して、例えば、ハイレベル（選択レベル）の走査信号Vselを印加するとともに、このタイミングに同期して、有機EL素子OELを所定の輝度階調で発光動作させるための書込電流IpixをデータラインDLに供給する。ここでは、書込電流Ipixとして、正極性の電流を供給し、データドライバ130B側からデータラインDLを介して画素駆動回路DCy方向に当該電流が流し込まれる（印加する）ように設定

する。

【0110】

これにより、画素駆動回路DCyを構成するトランジスタTr52及びTr54がオン動作するとともに、トランジスタTr51がオフ動作して、データラインDLに供給された書込電流Ipixに対応する正の電位が接点Nyaに印加される。また、接点Nyb及び接点Nyc間が短絡して同電位となり、トランジスタTr53のゲートソース間、及び、ソースドレイン間が同電位に制御される。これにより、コンデンサCy（接点Nya及び接点Nyb間）には、書込電流に応じた電位差が生じ、該電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。

【0111】

次いで、発光動作期間において、走査ラインSLに対して、ローレベル（非選択レベル）の走査信号Vselを印加するとともに、このタイミングに同期して、書込電流Ipixの供給を遮断する。これにより、トランジスタTr52及びTr54がオフ動作してデータラインDL及び接点Nya間、並びに、接点Nyb及び接点Nyc間が電氣的に遮断されることにより、コンデンサCyは、上述した書込動作において蓄積された電荷を保持する。

【0112】

このように、コンデンサCyが書込動作時の充電電圧を保持することにより、接点Nyb及び接点Nyc間（トランジスタのTr53のゲートソース間）の電位差が保持されることになり、トランジスタTr53はオン動作する。また、上記走査信号Vsel（ローレベル）の印加により、トランジスタTr51が同時にオン動作するので、電源接点+V（高電位電源）からトランジスタTr51及びTr53を介して、有機EL素子OELに書込電流Ipixに応じた発光駆動電流が流れ、有機EL素子OELが所定の輝度階調で発光する。このように、本実施例に係る画素駆動回路においては、nチャネル型トランジスタTr53は、発光駆動用トランジスタとしての機能を有していることになる。

【0113】

<データドライバの他の構成例>

次いで、本実施形態に適用されるデータドライバの構成について説明する。

本実施形態に係る表示装置に適用されるデータドライバは、概略、図4に示した電流生成供給回路が各データラインに個別に設けられ、各々の電流生成供給回路に対して、電流発生源から共通の電流供給線を介して、負の電流値を有する基準電流が供給されるように構成されている。

図14は、本実施形態に係る表示装置に適用されるデータドライバの他の実施例を示す回路構成図である。ここでは、上述した電流生成供給回路の構成と対応付けながら説明する。

【0114】

本実施例に係るデータドライバ130Bは、例えば、図14に示すように、システムコントローラ150から供給されるデータ制御信号（シフトクロック信号CLK、サンプリングスタート信号STR）に基づいて、シフト信号SR1、SR2、SR3、・・・を順次出力するシフトレジスタ回路131と、該シフト信号SR1、SR2、SR3、・・・の入力タイミングに基づいて、表示信号生成回路160から順次供給される1行分の表示データD0～D3を順次取り込み、所定の書込電流 I_{pix} を生成して、各データラインDL1、DL2、・・・を介して供給する書込電流生成回路群132B（書込電流生成回路ILB1、ILB2、・・・；上述した電流生成供給回路ILBに相当する）と、該書込電流生成回路群132Bを構成する各書込電流生成回路ILB1、ILB2、・・・に対して、データドライバ130Bの外部に設けられた電流発生源IR（上述した電流発生源IRBに相当する）により電流値を有する基準電流 I_{ref} を定常的に引き抜く共通の電流供給線Lsと、を備えて構成されている。

ここで、書込電流生成回路群132Bを構成する各書込電流生成回路ILB1、ILB2、・・・は、信号ラッチ回路101、102、103、・・・及び電流生成回路201B、202B、203B、・・・（上述した電流生成部20Bに相当する）を備えた構成を有している。

【0115】

このようなデータドライバ130Bにおける制御動作は、上述した実施形態において示した表示装置の駆動制御方法（図11及び図12参照）と同様に、信号

保持動作においては、シフトレジスタ回路 131 から順次出力されるシフト信号 SR1、SR2、SR3、・・・に基づいて、上記各信号ラッチ回路 101、102、103、・・・により、各列の表示画素（各データライン DL1、DL2、DL3、・・・）に対応して切り替わる表示データ D0～D3 を順次取り込む動作が 1 行分連続的に実行され、該表示データ D0～D3 が取り込まれた信号ラッチ回路 101、102、103、・・・から順に、一定期間、表示データ D0～D3 の反転信号に相当する保持信号 D10*～D13*、D20*～D23*、D30*～D33*、・・・（図 4 に示した各信号ラッチ回路 101、102、103、・・・の非反転出力端子 OT* の信号レベルであって、明細書中では、便宜的に「D10*～D13*、・・・」と記す；図 4 の符号参照）が電流生成回路 201B、202B、203B、・・・に出力される。

【0116】

また、電流生成供給動作においては、保持信号 D10*～D13*、D20*～D23*、D30*～D33*、・・・に基づいて、各電流生成回路 201B、202B、203B、・・・から引き抜かれる基準電流 I_{ref} に対して予め規定された所定比率の電流値を有する複数の階調電流から、所定の階調電流を選択して合成し、正極性の書込電流 I_{pix} を生成して、データドライバ 130B 側から各データライン DL1、DL2、DL3、・・・を介して、表示画素方向に流し込むように順次供給される。

【0117】

これにより、表示パネル 110B における書込動作期間において、上述した画素駆動回路（図 13 参照）を有する各行ごとの表示画素に、各データライン DL1、DL2、DL3、・・・を介して上記書込電流 I_{pix} が供給され、該書込電流 I_{pix} が電圧成分として保持され、発光動作期間において、保持された電圧成分に基づく発光駆動電流を有機 EL 素子 OEL に継続的に供給して表示データ D0～D3 に対応する輝度階調で発光動作が継続される。

したがって、本実施形態においても、表示パネル（表示画素）に供給される書込電流を、共通の電流供給線を介して供給される電流値の基準電流に基づいて生成することができるので、データドライバを構成する各書込電流生成回路に供給

される電流値が変動することがなく、電流供給線の充放電動作に起因する動作速度の制約を緩和して、データドライバの動作速度を向上させることができる。

【0118】

<第2の適用例>

次に、本発明に係る電流生成供給回路を、表示装置（表示パネル）を構成する各表示画素に設けられた画素駆動回路に適用した場合の実施形態について、図面を参照して説明する。

図15は、本発明に係る電流生成供給回路を適用可能な表示装置（表示パネル）の第2の実施形態を示す概略構成図である。また、図16は、本実施形態に係る表示装置に適用される画素駆動回路の一実施例を示す回路構成図であり、図17は、本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す回路構成図である。ここで、上述した第1の実施形態と同等の構成については、同一の符号を付して、その説明を簡略化又は省略する。

【0119】

<表示装置>

図15に示すように、本実施形態に係る表示装置100Cは、上述した第1の実施形態と同様に、概略、表示パネル110C、走査ドライバ120C、データドライバ130C、及び、図示を省略したシステムコントローラ150及び表示信号生成回路160を備えた構成を有しているが、表示パネル110Cを構成する各表示画素（画素駆動回路DCz）及びデータドライバ130Cが以下に示すように異なる構成を有している。

【0120】

本実施形態に適用される表示パネル110Cは、具体的には、図15に示すように、並列に配設された複数の走査ラインSLと、該走査ラインSLに対して、直交するように複数本ずつ（本実施形態においては4本）を一組として配設された複数組のデータライン群DLzと、これらの走査ラインSLとデータライン群DLzとの交点近傍に配列された複数の表示画素（図15中、後述する画素駆動回路DCz及び有機EL素子OELからなる構成）と、該表示画素に一定の電流値を有する基準電流を定常的に供給する電流発生源IRと、を備えた構成を有し

ている。

【0121】

ここで、各表示画素は、図15に示すように、走査ドライバ120Cから走査ラインSLを介して印加される走査信号Vsel、及び、データドライバ130Cからデータライン群DLzを介して供給される階調データDP0～DPk（デジタル信号；本実施形態では、 $k=3$ とする）に基づいて、発光駆動電流を生成する画素駆動回路DCzと、該画素駆動回路DCzにより供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する有機EL素子OELと、を備えた構成を有している。

【0122】

<画素駆動回路の一構成例>

画素駆動回路DCzは、図16に示すように、走査ドライバ120Cからの走査信号Vselの印加タイミングに基づいて、データドライバ130Cから各データライン群DLzを介して供給される1行分の階調データDP0～DP3を同時かつ個別に取り込み、当該階調データDP0～DP3に対応する出力信号（保持信号）d10～d13を所定期間、出力保持する信号ラッチ部10z（上述した信号ラッチ部10に相当する）と、各表示画素（画素駆動回路）に対して、電流供給線Lsを介して供給される基準電流Irefに基づいて生成される複数の階調電流のうち、上記出力信号d10～d13により選択される特定の階調電流を合成して、各表示画素における輝度階調に対応した発光駆動電流を生成して、有機EL素子OELに供給する電流生成部20z（上述した電流生成部20Aに相当する）と、を備えて構成されている。

【0123】

すなわち、画素駆動回路DCzは、本発明に係る電流生成供給回路（図1参照）と同等の構成を有している。ここで、図示を省略するが、電流ラッチ部10zは、図1に示した構成と同様に、各階調データDP0～DP3に対応して複数（4個）のラッチ回路を備えた構成を有している。また、有機EL素子OELのアノード端子は、所定の高電位電源に接続された電源接点+Vに接続されるとともに、カソード端子は、電流生成部20zの電流出力接点OUTiに接続されてい

る。

【0124】

このような構成を有する画素駆動回路DC_zにおける有機EL素子OELの駆動制御動作は、まず、走査ラインSLに対して、例えば、ハイレベル（選択レベル）の走査信号Vselを印加するとともに、このタイミングに同期して、後述するデータドライバ130Cにより、表示信号生成回路160から供給される表示データD0～D3に対応する複数ビットのデジタル信号からなる階調データDP0～DP3を、データライン群DL_zに供給する。これにより、画素駆動回路DC_zを構成する信号ラッチ部10_zの各信号入力接点IN0～IN3から階調データDP0～DP3が同時かつ個別に取り込み保持され、上述した実施形態（図2参照）と同様に、各階調データDP0～DP3に基づく保持信号（出力信号）DP10～DP13が電流生成部20_zに出力される。

【0125】

電流生成部20_zは、上述した実施形態（図3参照）と同様に、基準電流I_{ref}に基づいて生成される所定の比率の電流値を有する複数の階調電流から、上記保持信号DP10～DP13の信号レベルに応じて、特定の階調電流のみを選択して合成して得られる発光駆動電流を、電流出力接点OUT_iを介して有機EL素子OELに供給する（本実施形態においては、有機EL素子OEL側から画素駆動回路DC_z方向に引き込むように発光駆動電流が流れる）。これにより、有機EL素子OELに表示データD0～D3（階調データDP0～DP3）に応じた発光駆動電流が順バイアス方向に流れ、有機EL素子OELが所定の輝度階調で発光する。

【0126】

また、データドライバ130Cは、例えば、図17に示すように、上述した実施形態と同等の構成を有するシフトレジスタ回路131と、該シフトレジスタ回路131からのシフト信号SR1、SR2、SR3、・・・の入力タイミングに基づいて、図示を省略した表示信号生成回路160から供給される複数ビットの表示データD0～D3を同時かつ個別に順次取り込み、保持する複数のラッチ部LD1、LD2、LD3、・・・からなるラッチ回路部132Cと、図示を省略

したシステムコントローラ150から出力される出力イネーブル信号WEに基づいて、該ラッチ回路部132Cに保持された1行分の表示データD0～D3を、各データライン群DL_zを介して階調データDP0～DP3として、上述した各表示画素に一括して供給する動作を行う複数のスイッチSW1、SW2、SW3、・・・からなる出力回路133と、を備えた構成を適用することができる。

【0127】

<表示装置の駆動制御方法>

次に、上述した構成を有する表示装置の動作について、図面を参照して説明する。

図18は、本実施形態に係る表示装置（データドライバ及び表示パネル）における制御動作の一例を示すタイミングチャートである。また、図19は、本実施形態に係る表示装置に適用される画素駆動回路の他の実施例を示す回路構成図である。

【0128】

まず、データドライバ130Cにおける制御動作は、図18に示すように、上述したラッチ回路部132Cを構成する各ラッチ部LD1、LD2、LD3、・・・に、表示信号生成回路160から供給される表示データD0～D3を順次取り込み、保持する表示データ保持動作と、該表示データ保持動作により取り込まれた表示データD0～D3を、出力回路133の各スイッチSW1、SW2、SW3、・・・を介して、階調データDP0～DP3として各データライン群DL_zに一括して供給する階調データ供給動作と、を設定することにより実行される。

【0129】

ここで、表示データ保持動作においては、シフトレジスタ回路131から順次出力されるシフト信号SR1、SR2、SR3、・・・に基づいて、上記各ラッチ部LD1、LD2、LD3、・・・に、各列の表示画素に対応して切り替わる表示データD0～D3を順次取り込み、保持する動作が1行分連続的に実行される。

また、階調データ供給動作においては、システムコントローラ150から出力

される出力イネーブル信号WEに基づいて、上記各ラッチ部LD1、LD2、LD3、・・・に保持された表示データD0～D3を階調データDP0～DP3として、各スイッチSW1、SW2、SW3、・・・を介してデータライン群DL_zに一括して供給する。ここで、階調データ供給動作は、表示パネル110Cにおいて、特定の行の表示画素を選択する走査信号Vselの印加タイミングに同期するように設定される。すなわち、本実施形態においては、複数ビットのデジタル信号からなる表示データD0～D3に基づく階調データ（デジタル信号）DP0～DP3がデータドライバ130Cから表示パネル110Cに配設された各データライン群DL_zを介して、直接表示画素（画素駆動回路DC_z）に供給される。

【0130】

また、表示パネル110C（表示画素）における制御動作は、図18に示すように、走査ドライバ120Cにより特定の行（i行目）の走査ラインSLに走査信号Vselを印加することにより、上記階調データ供給動作によりデータドライバ130Cから各データライン群DL_zに供給された階調データDP0～DP3を、各表示画素（画素駆動回路DC_z）に設けられた信号ラッチ部10_zに取り込み保持し、該階調データDP0～DP3に基づく保持信号DP10～DP13を電流生成部20_zに出力する。

そして、電流生成部20_zは、上述したように、基準電流I_{ref}及び該保持信号DP10～DP13に基づいて、表示データD0～D3（階調データDP0～DP3）に応じた発光駆動電流を生成して、有機EL素子OELに供給する。これにより、有機EL素子OELが所定の輝度階調で発光する。

【0131】

なお、本実施形態に係る表示パネル110（画素駆動回路DC_z）においても、上述した実施形態に示した場合と同様に、図15に示したように、電流発生源IRから基準電流I_{ref}が供給される共通の電流供給線L_sに対して、複数の表示画素（画素駆動回路DC_z）が接続された構成を有し、図18に示したように、特定の行の表示画素を選択する走査信号Vselの印加タイミングに同期して、各画素駆動回路DC_zにおいて、階調データDP0～DP3に基づいて、同時並

行的に各有機EL素子OELへの発光駆動電流が生成されるので、電流供給線L_sを介して各行の表示画素（画素駆動回路DC_z）に供給される電流は、電流発生源IRにより供給される基準電流I_{ref}そのものではなく、各行の表示画素（画素駆動回路DC_z）の数（例えば、m個）に応じて、略均等分割された電流値（I_{ref}/m）を有する電流が供給されることになる。

以上の一連の制御動作は、表示パネル110Cを構成する全ての行について、順次実行され、各行の有機EL素子OELの発光動作（発光駆動電流の供給動作）は、次回の走査信号V_{sel}が印加されるまで、画素駆動回路DC_zにより継続的に保持される。

【0132】

したがって、本実施形態に係る表示装置100Cにおいては、データドライバ130Cにより、表示パネル110Cに配設される各データライン群DL_zを介して、表示データD0～D3に対応する複数ビットのデジタル信号からなる階調データDP0～DP3が表示画素（画素駆動回路）に直接供給され、また、画素駆動回路において、電流発生源IRから共通の電流供給線L_sを介して供給される基準電流I_{ref}（詳しくは、基準電流I_{ref}を書込電流生成回路の数で均等分割した電流）に基づいて、アナログ信号からなる発光駆動電流が生成されるので、従来技術に多用されているような、表示画素にアナログ信号からなる書込電流を供給する構成に比較して、信号レベルの劣化や外部ノイズ等の影響を受けにくくしてS/N比を改善することができ、表示データに対応した適切な輝度階調で有機EL素子（発光素子）を発光動作させて表示画質の向上を図ることができる。

また、上述した実施形態と同様に、表示画素における発光動作に関連する信号線に、信号レベルが変化するアナログ信号を流す構成を有していないので、信号線の充放電動作に起因する動作速度の制約を緩和して、データドライバを含む表示装置における表示応答特性並びに表示画質の向上を図ることができる。

【0133】

<画素駆動回路の他の構成例>

なお、上述した実施形態においては、表示画素として、画素駆動回路DC_zにより生成された発光駆動電流を有機EL素子OEL側から引き込む方向に流す電

流シンク方式に対応した構成を示したが、本発明はこれに限定されるものではなく、上述した図4及び図5に示した構成を適用して、図19に示すように、画素駆動回路DCz'により生成された発光駆動電流を、電流生成部20z'から有機EL素子OEL方向に流し込むように供給する電流印加方式に対応した構成を適用することもできる。なお、この場合、上述した実施例に示したような表示装置の構成（図15参照）において、電流発生源の他端側（+V接続側）を低電位電源（接地電位）に接続し、基準電流I_{ref}を表示パネル（表示画素）側から該低電位電源方向に引き込むように設定される。

【0134】

また、上述した各実施形態においては、表示データとして4ビットのデジタル信号を適用し、 $2^4 = 16$ 階調の表示動作を行う場合について説明したが、本発明はこれに限定されるものではなく、より多階調の画像表示に適用することができるというまでもない。

また、上述した実施形態においては、本発明に係る電流生成供給回路を表示装置のデータドライバ又は画素駆動回路に適用した場合についてのみ説明したが、本発明はこのような適用例に限定されるものではなく、例えば、発光ダイオードを多数配列して形成されるプリンタヘッドの駆動回路のように、所定の電流値を有する電流を供給することにより、該電流値に応じた所定の駆動状態で動作する機能素子を多数備えたデバイスの駆動回路に良好に適用することもできる。

【0135】

<電界効果型トランジスタの構造>

次に、本発明に係る電流生成供給回路、及び、表示装置の表示パネルに設けられた画素駆動回路に適用可能な電界効果型トランジスタ（薄膜トランジスタ）の構造について説明する。

図20は、本発明に係る電流生成供給回路及び表示装置に適用されるnチャネル型トランジスタの電圧－電流特性を示す図であり、図21は、本発明に係る電流生成供給回路及び表示装置に適用されるpチャネル型トランジスタの電圧－電流特性を示す図である。

【0136】

上述した各実施形態においては、データドライバ 130A、130B を構成する書込電流生成回路 ILA1、ILA2、・・・、ILB1、ILB2、・・・、（電流生成回路）、又は、表示パネル 110A～110C を構成する画素駆動回路 DCx～DCz（電流生成部）に、本発明に係る電流生成供給回路 ILA、ILB（図 1、図 4 参照）を適用する場合において、該電流生成供給回路の電流生成部の回路構成 20A、20B として、図 3 及び図 5 に示したように、周知の n チャネル型もしくは p チャネル型の電界効果型トランジスタを用いたカレントミラー回路を備えた構成について説明した。

【0137】

ここで、カレントミラー回路を構成する基準電流トランジスタ及び階調電流トランジスタ、すなわち、n チャネル型及び p チャネル型のトランジスタの固有の電圧－電流特性について、図 20（a）及び図 21（a）に示すような基本回路を用いて検証すると、カレントミラー回路の電氣的な特性においては、図 20（b）及び図 21（b）中、破線で示すように、ソースドレイン間電圧 V_{ds} 、 $-V_{ds}$ が特定の電圧領域では、ドレイン電流（ソースドレイン間電流） I_{ds} 、 $-I_{ds}$ が飽和傾向を示すことが求められるにもかかわらず、図 20（b）及び図 21（b）中、実線で示すように、印加電圧（ソースドレイン間電圧 V_{ds} 、 $-V_{ds}$ ）の絶対値の増大に伴って、一旦飽和傾向を示したドレイン電流 I_{ds} 、 $-I_{ds}$ の絶対値が次第に増加する傾向を示す。

【0138】

これは、例えば、近年、高速化や低消費電力化、高集積化等の利点を有することから、研究開発が盛んに進められている SOI（Silicon On Insulator）構造の半導体層を有する電界効果トランジスタ等において、電界が集中する素子分離領域近傍で衝突イオン化が誘発され、これにより生成されたキャリア（n チャネル型トランジスタでは正孔、p チャネル型トランジスタでは電子）がチャネル領域（ボディ領域）に注入、蓄積されること（基板浮遊効果）により、しきい値電圧が低下して、ドレイン電流が増加するキンク（kink）現象によるものと考えられている。

【0139】

そのため、このようなキंक現象によるドレイン電流の増加（キंक電流の発生）により、ドレイン電流（電圧－電流特性）の良好な飽和特性が得られなくなり、カレントミラー回路における基準電流に対する階調電流の電流値の比率が所望の設計値（上述した実施形態に係る電流生成供給回路においては、トランジスタのチャネル幅の比）通りに設定されなくなるため、負荷を所望の駆動状態で動作させることができなくなる。そのため、各表示画素を表示データに基づいた適切な輝度階調で発光動作させることができず、表示画質の劣化を招く可能性がある。

【0140】

また、同様の問題点は、表示パネルを構成する画素駆動回路DC_x、DC_yの回路構成として、図9又は図13に示したような、nチャネル型及びpチャネル型の電界効果型トランジスタを適用した構成についても言及することができる。以下、図13に示した画素駆動回路における場合について詳しく説明する。

図22は、発光駆動用トランジスタ（pチャネル型トランジスタ）における電圧－電流特性と、書込動作時と発光動作時におけるドレイン電流（発光駆動電流）の電流値との関係を示す図である。ここでは、図13に示した画素駆動回路を適宜参照しながら説明する。

【0141】

すなわち、上述したように、図13に示した画素駆動回路DC_yにおいて、書込動作時には、走査ラインSLにハイレベルの走査信号V_{sel}が印加されることにより、pチャネル型トランジスタTr51がオフ動作し、nチャネル型トランジスタTr52及びTr54がオン動作するので、書込電流I_{pix}はnチャネル型トランジスタTr52及びpチャネル型トランジスタTr53を介して、有機EL素子OELに流れ込む。このとき、nチャネル型トランジスタTr54がオン状態にあるので、pチャネル型トランジスタTr53のゲート－ソース間（接点Nya－Ny_b間）の電圧及びソース－ドレイン間（接点Nya－Ny_c間）の電圧は同一となり、このときの電圧－電流特性曲線上での動作点は、例えば、図22（a）中の飽和特性を示す領域内のAC_wとなる。

【0142】

一方、発光動作時には、走査ラインSLにローレベルの走査信号Vselが印加されることにより、pチャネル型トランジスタTr51がオン動作し、nチャネル型トランジスタTr52及びTr54がオフ動作するので、電源端子+Vに接続された高電位電源（図示を省略）からpチャネル型トランジスタTr51及びTr53を介して、発光駆動電流が有機EL素子OELに流れ込む。このとき、nチャネル型トランジスタTr54はオフ状態にあるので、pチャネル型トランジスタTr53のゲート電圧（接点Nybの電位）はフローティング状態となるが、上記書込動作時にコンデンサCyに蓄積された電荷により、pチャネル型トランジスタTr53のゲートソース間電圧は、走査信号Vsel切り替え直前の書込動作時の電位が保持される。したがって、このときの電圧－電流特性曲線上での動作点は、図22（b）に示すように、図22（a）に示した動作点ACwよりも、飽和領域内を低電圧方向（図22（b）においては、右方向）に移動したACHとなる。ここで、動作点ACwから動作点ACHへの遷移は、ソースドレイン間電圧－Vdsの値に関わらず略一定のドレイン電流－Idsが流れる飽和領域内での変化であることから、有機EL素子OELに流れ込む電流（発光駆動電流）は、理想的には、上記書込動作時に設定、保持された電流（書込電流Ipix）と略同等の電流値に制御されることになる。

【0143】

しかしながら、上述した場合と同様に、図13に示したような回路構成を有する画素駆動回路においては、nチャネル型のトランジスタ（pチャネル型トランジスタTr53）の固有の電圧－電流特性は、図21（b）に示したように、ソースドレイン間電圧－Vdsの絶対値が増大するにしたがって、ドレイン電流－Idsの絶対値が次第に増加するキंक現象が発生することにより、有機EL素子OELに流れ込む電流（発光駆動電流）が書込動作時に設定した電流（書込電流Ipix）とは異なる値となってしまふ。このために、各表示画素を表示データに基づいた適切な輝度階調で発光動作させることができなくなってしまう。なお、ここでは、図13に示した画素駆動回路についてキंक現象の影響を説明したが、図9に示した回路構成を有する場合であっても、図20（b）に示したように、同等の問題が生じる。

【0144】

そこで、本発明においては、上述したようなキंक現象を抑制するために、少なくとも、電極生成供給回路において基準電流及び階調電流を流す基準電流トランジスタ及び階調電流トランジスタ、並びに、画素駆動回路において発光駆動電流を流す駆動制御用のトランジスタ（図13に示したトランジスタTr53、又は、図9に示したトランジスタTr43）に、SOI電界効果型トランジスタのボディ領域とソース領域を電氣的に接続（短絡）した、いわゆる、ボディターミナル構造のトランジスタを適用した構成を有している。

【0145】

＜ボディターミナル構造＞

以下、具体的に説明する。なお、以下の説明では、ボディターミナル構造を有するpチャネル型のトランジスタについて詳しく説明し、nチャネル型のトランジスタについては説明を適宜簡略化又は省略する。

図23は、ボディターミナル構造を有するpチャネル型のトランジスタ（MOS T）の平面構成を示す概略図であり、図24は、ボディターミナル構造を有するpチャネル型のトランジスタの断面構成を示す概略図である。ここで、図23（a）は、半導体基板上に形成された活性層の平面構成を表し、図23（b）は、活性層上に電極を形成した状態における平面構成を表す。また、図24（a）、（b）は、図23（b）に示した構成の断面構成を示し、図24（c）、（d）は、ボディターミナル構造を有するpチャネル型トランジスタ及びnチャネル型トランジスタを示す回路記号である。なお、ここで示すボディターミナル構造を有する電界効果型トランジスタは、本発明に係る電流生成供給回路又は表示装置に適用可能な一例を示すにすぎず、同等の素子特性を有する他のトランジスタ構造を有するものであってもよいことはいうまでもない。

【0146】

ボディターミナル構造を有するpチャネル型のトランジスタは、概略、図23（a）及び図24（a）、（b）に示すように、シリコン等のn型半導体基板subの一面側に絶縁膜ins Sを介して形成されたn型半導体層（活性層Rac）に、チャネル領域（ボディ領域）Rchnを挟んでソース領域（p⁺）RS及びドレイン

領域 (p^+) RD が離間して形成されるとともに、ソース領域 RS 及びドレイン領域 RD の対向軸 (図 23 (a) の左右方向) に対して垂直方向 (図 23 (a) の上下方向) に、チャネル領域 Rchn から突出するようにターミナル領域 (n^+) RT が接合形成された構成を有している。そして、このような活性層 Rac 上には、図 23 (b) 及び図 24 (a)、(b) に示すように、チャネル領域 chn 上にゲート絶縁膜 insG を介して形成されたゲート電極 EG と、ドレイン領域 RD にオーミック接続されたドレイン電極 ED と、ソース領域 RS 及びターミナル領域 RT にオーミック接続された単一のボディターミナル電極 EB と、が形成されている。このようなボディターミナル構造を有する p チャネル型トランジスタは、図 24 (c) に示すような回路記号により表記される。

【0147】

なお、図示を省略するが、ボディターミナル構造を有する n チャネル型のトランジスタは、図 23 及び図 24 (a)、(b) に示した構成と略同等であって、p 型半導体層からなる活性層に、チャネル領域を挟んでソース領域 (n^+) 及びドレイン領域 (n^+) が形成されるとともに、チャネル領域から突出するようにターミナル領域 (p^+) が接合形成された構成を有している。ゲート電極、ドレイン電極及びボディターミナル電極の構造は、上記 p チャネル型トランジスタの場合と同一である。このようなボディターミナル構造を有する n チャネル型トランジスタは、図 24 (d) に示すような回路記号により表記される。

【0148】

図 25 は、ボディターミナル構造を有する n チャネル型トランジスタの電圧－電流特性を示す図であり、図 26 は、ボディターミナル構造を有する p チャネル型トランジスタの電圧－電流特性を示す図である。また、図 27 は、図 3 に示した電流生成部のカレントミラー回路部に、上述したボディターミナル構造を有する n チャネル型トランジスタを適用した一具体例を示す回路構成図であり、図 28 は、図 5 に示した電流生成部のカレントミラー回路部に、上述したボディターミナル構造を有する p チャネル型トランジスタを適用した一具体例を示す回路構成図である。さらに、図 29 は、図 9 に示した画素駆動回路の発光駆動用トランジスタに、上述したボディターミナル構造を有する n チャネル型トランジスタを

適用した一具体例を示す回路構成図であり、図30は、図13に示した画素駆動回路の発光駆動用トランジスタに、上述したボディターミナル構造を有するpチャネル型トランジスタを適用した一具体例を示す回路構成図である。ここで、上述した実施形態と同等の構成については、同一の符号を付してその説明を省略する。

【0149】

このようなボディターミナル構造を有するnチャネル型及びpチャネル型トランジスタにおける固有の電圧－電流特性について、図25(a)及び図26(a)に示すような基本回路を用いて検証すると、図25(b)及び図26(b)に示すように、ソースドレイン間電圧 V_{ds} 、 $-V_{ds}$ が特定の電圧領域では、ドレイン電流 I_{ds} 、 $-I_{ds}$ が良好な飽和傾向を示す。

【0150】

これは、上述したチャネル領域 R_{chn} とドレイン領域 R_D の境界近傍で生じた電子・正孔対のうち、少数キャリア（pチャネル型トランジスタでは電子、nチャネル型トランジスタでは正孔）がボディターミナル電極EBを介してソース領域 R_S に流れ込み、チャネル領域 R_{chn} への蓄積が抑制され、電界効果トランジスタのしきい値電圧の低下が緩和されるため、キンク現象が抑制される（キンク電流の発生が抑制される）ことによる。

【0151】

したがって、このような電圧－電流特性を有する電界効果型トランジスタを、図27乃至図30に示すように、上述した各実施形態（図3、図5に示した）に示した電流生成部20A、20Bのカレントミラー回路部21A、21Bや、図9、図13に示した画素駆動回路 DC_x 、 DC_y の発光駆動用トランジスタ（ Tr_{43} 、 Tr_{53} ）に適用して、本発明に係る電流生成供給回路や、表示装置のデータドライバや表示パネルに組み込むことにより、表示データや階調データに基づいて保持される電流に対応した適切な電流値を有する書込電流や発光駆動電流を生成することができるので、各表示画素を表示データに基づいた適切な輝度階調で発光動作させることができ、表示画質の向上を図ることができる。

【0152】

なお、上述した一連の説明においては、ボディターミナル構造を有する電界効果型トランジスタの適用対象として、図 3 及び図 5 に示した電流生成部を構成するカレントミラー回路の基準電流トランジスタ及び階調電流トランジスタ、あるいは、図 9 及び図 13 に示した画素駆動回路の発光駆動用トランジスタのみを示したが、本発明はこれに限定されるものではなく、例えば、上記図 9 及び図 13 に示した画素駆動回路と同等の機能を有しつつ、他の回路構成を有する画素駆動回路にも良好に適用することができることはいうまでもない。

【0153】

＜電流生成供給回路のさらに他の実施形態＞

次に、本発明に係る電流生成供給回路のさらに他の実施形態について、図面を参照して説明する。

上述した各実施形態に示した電流生成供給回路（図 1、図 4 参照）を適用したデータドライバ（図 10、図 14 参照）や表示画素（図 16、図 19 参照）においては、電流発生源 I R に対して、共通の電流供給線 L s を介して、複数の書込電流生成回路又は複数の画素駆動回路（以下、電流生成供給回路と総称して記す；図 1 参照）が並列的に接続された構成を示し、電流発生源 I R から電流供給線 L s に供給される基準電流 I ref を、各電流生成供給回路に同時並行的に取り込み、表示データ D 0 ～ D 3 に基づいて、表示画素への書込電流 I pix 又は有機 E L 素子 O E L への発光駆動電流（以下、負荷駆動電流と総称して記す；図 1 参照）として供給する場合について説明した。

【0154】

ここで、上述したように、電流発生源 I R から各電流生成供給回路に供給される電流は、電流発生源 I R において生成される基準電流 I ref そのものではなく、同時並行的に動作する電流生成供給回路の数（例えば、m 個）に応じて、略均等分割された電流値（ I_{ref}/m ）を有する電流が各々供給されることになる。

このとき、各電流生成供給回路の電流生成部を構成するカレントミラー回路部に設けられる基準電流トランジスタ（図 3 に示したトランジスタ T r 2 1 参照）相互の素子特性（チャネル抵抗等）が略均一である場合には、各電流生成供給回路によりバラツキが抑制された略均一な負荷駆動電流を生成することができる（

上述した各実施形態においては、データドライバや表示画素に設けられた電流生成供給回路の各々を構成するトランジスタ等の素子特性が均一であって、かつ、該素子特性が変動しない理想的な環境下で使用した場合について説明した。

【0155】

しかしながら、例えば、製造バラツキや周辺環境、経時変化等により、各電流生成供給回路に設けられた基準電流トランジスタ相互の素子特性にバラツキが生じた場合には、各電流生成部（カレントミラー回路部）により生成される負荷駆動電流もバラツキを生じて、該負荷駆動電流により発光動作する各表示画素における輝度階調が不均一となって、表示画質の劣化を招く可能性がある。

【0156】

そこで、本実施形態においては、本発明に係る電流生成供給回路を、複数同時並行的に動作させる構成（データドライバや表示画素等）に適用した場合に、電流供給源からの基準電流 I_{ref} を、各電流生成供給回路に選択的に供給し（すなわち、一時に一つの電流生成供給回路にのみ供給し）、基準電流 I_{ref} そのものを用いて負荷駆動電流を生成することにより、各表示画素や有機 EL 素子に供給される負荷駆動電流のバラツキを抑制して、表示画素（負荷）を均一な状態で発光動作（駆動）することができるようにする。

【0157】

図 33 は、本発明に係る電流生成供給回路のさらに他の実施形態に適用される、電流生成部の一具体例を示す概略構成図であり、図 34 は、本実施例に係る電流生成部の具体回路例を示す図である。図 35 は、本発明に係る電流生成部のさらに他の実施形態に適用される、電流生成部の他の具体例を示す概略構成図である。ここで、上述した各実施形態（図 3、図 5 参照）と同等の構成については、同等又は同一の符号を付してその説明を簡略化又は省略する。

図 33 に示すように、本実施形態に係る電流生成供給回路に適用される電流生成部 20C は、例えば、上述した実施形態に示した電流生成部 20A（図 5 参照）と略同等の回路構成を有するカレントミラー回路部 21C 及びスイッチ回路部 22C と、を備えるとともに、該カレントミラー回路部 21C において、電流供給源からの基準電流 I_{ref} の供給状態（供給又は遮断）を制御するスイッチ手段

が付設された構成を有している。

【0158】

具体的には、カレントミラー回路部 21C は、p チャネル型のトランジスタ $Tr61 \sim Tr65$ 及びスイッチ手段 $TS1$ 、 $TS2$ を備えて構成され、基準電流トランジスタ $Tr61$ は、接点 Nm と電源接点 $+V$ との間に接続されるとともに、制御端子が接点 Np に接続され、また、階調電流トランジスタ $Tr62 \sim Tr65$ は、各々、接点 Nq 、 Nr 、 Ns 、 Nt と電源接点 $+V$ との間に接続されるとともに、制御端子が接点 Np に共通に接続され、また、容量 $C1$ は、上記接点 Np と電源接点 $+V$ との間に接続されている。さらに、スイッチ手段 $TS1$ は、電流入力接点 INi と上記接点 Nm との間に接続され、また、スイッチ手段 $TS2$ は、上記接点 Nm と接点 Np との間に接続されている。

【0159】

スイッチ回路部 22C は、上述した電流生成部 20A と同様に、p チャネル型のトランジスタ $Tr66 \sim Tr69$ を備えて構成され、スイッチング用のトランジスタ $Tr66 \sim Tr69$ は、各々、上記接点 Nq 、 Nr 、 Ns 、 Nt と電流出力接点 $OUTi$ との間に接続されるとともに、制御端子に各々、図示を省略した複数のラッチ回路から出力される出力信号 $d10^* \sim d13^*$ が並列的に印加されるように構成されている。

【0160】

すなわち、本実施例においても、カレントミラー回路部 21C を構成する各階調電流トランジスタ $Tr62 \sim Tr65$ のトランジスタサイズが、基準電流トランジスタ $Tr61$ を基準として、所定の比率になるように形成され、各電流路に流れる階調電流 $I_{dsq} \sim I_{dst}$ が、基準電流トランジスタ $Tr61$ に流れる電流（基準電流 I_{ref} ）に対して、各々異なる所定の比率の電流値を有するように設定されている。これにより、出力信号 $d10^* \sim d13^*$ の信号レベルに応じて、スイッチ回路部 22C の特定のトランジスタ $Tr66 \sim Tr69$ がオン動作して、階調電流トランジスタ $Tr62 \sim Tr65$ を介して基準電流 I_{ref} の所定比率倍の電流値を有する階調電流 I_{dsq} 、 I_{dsr} 、 I_{dss} 、 I_{dst} が流れ、これらの複数の階調電流 I_{dsq} 、 I_{dsr} 、 I_{dss} 、 I_{dst} から、任意の階調電流が選択、合成され

、電流出力接点 OUT_i を介して負荷駆動電流 ID （書込電流又は発光駆動電流）として表示画素又は有機 EL 素子に供給される。

【0161】

さらに、本実施例に係るカレントミラー回路部 21C においては、電流入力接点 IN_i と接点 N_m との間にスイッチ手段 TS_1 が設けられ、また、接点 N_m と接点 N_p との間にスイッチ手段 TS_2 が設けられた構成を有し、これらのスイッチ手段が TS_1 、 TS_2 が、図示を省略した制御手段（例えば、図 6 に示したシステムコントローラ 150 等）から供給される制御信号に基づいてオン、オフ動作するように設定制御される。すなわち、これらのスイッチ手段 TS_1 、 TS_2 により、電流入力端子 IN_i （電流供給線 L_s 及び電流供給源）と基準電流トランジスタ Tr_{61} の電流路との電気的な接続状態（換言すれば、基準電流 I_{ref} の基準電流トランジスタ Tr_{61} の電流路への供給又は遮断）、及び、電流入力端子 IN_i と基準電流トランジスタ Tr_{61} の制御端子との電気的な接続状態（換言すれば、基準電流トランジスタ Tr_{61} の電流路と制御端子間の接続又は遮断）を切換制御するように構成されている。

【0162】

ここで、スイッチ手段 TS_1 、 TS_2 は、例えば、図 34 に示すように、 n チャンネル型の電界効果型トランジスタにより構成し、単一の制御信号 rck （詳しくは、後述する）によりオン、オフ状態を切換制御するように構成することができ、図 34 に示した回路構成においては、ハイレベルの制御信号 rck を印加することにより、スイッチ手段 TS_1 、 TS_2 がともにオン動作して、電流発生源により生成される基準電流 I_{ref} が接点 N_m 及び接点 N_p に供給されて基準電流トランジスタ Tr_{61} をオン動作させる。また、ローレベルの制御信号 rck を印加することにより、スイッチ手段 TS_1 、 TS_2 がともにオフ動作して、接点 N_m 及び接点 N_p への基準電流 I_{ref} の供給を遮断して基準電流トランジスタ Tr_{61} をオフ動作させる。

【0163】

そして、本実施形態においては、このような回路構成を有する電流生成部 20C を備えた電流生成供給回路が、上述したようなデータドライバを構成する書込

電流生成回路として、もしくは、各表示画素を構成する画素駆動回路として適用され、共通の電流供給線に複数並列的に接続される。ここで、各電流生成供給回路における負荷駆動電流（書込電流又は発光駆動電流）の生成に際し、各電流生成供給回路に設けられたスイッチ手段TS1、TS2を切換制御する上記制御信号（ハイレベル）を選択的に印加することにより、いずれか一つの電流生成供給回路に設けられたスイッチ手段TS1、TS2のみをオン動作させる（すなわち、当該電流生成供給回路を選択状態に設定する）とともに、他の電流生成供給回路に設けられたスイッチ手段TS1、TS2をオフ動作させて（すなわち、他の電流生成供給回路を非選択状態に設定して）、一時には、当該電流生成供給回路に対してのみ、電流供給線を介して基準電流I_{ref}が供給されるように制御する。

【0164】

これにより、複数の電流生成供給回路のうち、上記制御信号に基づいて、選択状態に設定された唯一の電流生成供給回路の基準電流トランジスタに基準電流I_{ref}が供給されて、各階調電流トランジスタに流れる階調電流の電流値が、該基準電流I_{ref}を基準として規定され、複数のラッチ回路からの出力信号d10*～d13*（すなわち、表示データD0～D3）に対応した階調電流を合成して生成された負荷駆動電流（書込電流又は発光駆動電流）が各表示画素又は有機EL素子に供給される。

【0165】

したがって、各電流生成供給回路（書込電流生成回路又は画素駆動回路）において、一定の電流値を有する基準電流I_{ref}をそのまま用いて、負荷駆動電流が生成され、各表示画素又は有機EL素子に供給されるので、電流生成供給回路相互の基準電流トランジスタの素子特性のバラツキの影響を受けることがなく、表示データに応じた適切かつ均一化された電流値を有する書込電流や発光駆動電流を、表示画素や有機EL素子に供給することができ、輝度階調のバラツキのない良好な表示画質を実現することができる。

【0166】

なお、本実施例に示した電流生成供給回路と同等の機能を実現することができる。

る構成としては、例えば、図35に示すような回路構成を有する電流生成部20D（カレントミラー回路部21D）を適用することもできる。すなわち、図35に示すカレントミラー回路部21Dにおいては、図34に示したカレントミラー回路部21Cと同等のカレントミラー回路を構成する基準電流トランジスタ T_{r61} 及び階調電流トランジスタ $T_{r62} \sim T_{r65}$ に加え、電流入力接点 IN_i と基準電流トランジスタ T_{r61} の電流路との間に接続されたスイッチ手段 TS_3 と、電流入力接点 IN_i と基準電流トランジスタの制御端子（接点 N_p ）との間に接続されたスイッチ手段 TS_4 と、を備えた構成を有している。

すなわち、このカレントミラー回路部21Dにおいても、図34に示したカレントミラー回路部21Cと同様に、上記スイッチ手段 TS_3 、 TS_4 により、基準電流 I_{ref} の基準電流トランジスタ T_{r61} の電流路及び制御端子への供給又は遮断を切換制御するように構成されている。

【0167】

なお、本実施形態においては、図5に示した電流生成部20B（すなわち、pチャネル型のトランジスタからなるカレントミラー回路部21B及びスイッチ回路部22Bを備え、基準電流 I_{ref} が電流生成部20B側から電流発生源 IRB 方向に引き込まれる構成）に、スイッチ手段 TS_1 、 TS_2 又は TS_3 、 TS_4 を付設した回路構成を示したが、本発明はこれに限定されるものではなく、図3に示した電流生成部20A（すなわち、nチャネル型のトランジスタからなるカレントミラー回路部21A及びスイッチ回路部22Aを備え、基準電流 I_{ref} が電流発生源 IRA 側から電流生成部20B方向に流し込まれる構成）に、スイッチ手段 TS_1 、 TS_2 又は TS_3 、 TS_4 を付設した回路構成を有するものであってもよい。また、スイッチ手段 TS_1 、 TS_2 又は TS_3 、 TS_4 は、nチャネル型のトランジスタに限定されるものではなく、pチャネル型のトランジスタを適用して、上記制御信号 rck の反対極性を有する信号によりオン、オフ状態を切換制御するものであってもよい。

【0168】

次いで、本実施形態に係る電流生成部（カレントミラー回路部、スイッチ回路部）を備えた電流生成供給回路（書込電流生成回路）について、図面を参照して

説明する。

図36は、本実施形態に係る電流生成部を適用した電流生成供給回路の一例を示す概略構成図である。また、図37は、本実施形態に係る電流生成部を適用した電流生成供給回路の他の例を示す概略構成図である。ここで、本実施形態においては、図14に示した表示装置と同等の構成を有するデータドライバに適用可能な電流生成供給回路（書込電流生成回路）について説明する。なお、上述した電流生成部の構成と対応付けながら説明するとともに、上述した実施形態と同等の構成については、その説明を簡略化又は省略する。

【0169】

本実施形態に係る表示装置のデータドライバに設けられる各書込電流生成回路を構成する電流生成供給回路 ILC は、例えば、図36に示すように、図4に示した信号ラッチ部10、及び、図34に示した電流生成部20Cに加え、システムコントローラ150等から供給される所定の選択信号SLを反転処理するインバータ72と、電流路の一端側に電流出力接点OUTiが接続されるとともに、該電流路の他端側にデータラインDLが接続され、制御端子に上記インバータ72を介して出力される選択信号SLの反転信号が印加されるpチャネル型のトランジスタTr71と、インバータ72からの反転出力及びシフトレジスタ回路131からのシフト信号SRを入力とするNAND回路73と、該NAND回路73の論理出力（否定論理積）を反転処理するインバータ74と、該インバータ74の反転出力をさらに反転処理するインバータ75と、からなる動作設定回路70を備えた構成を有している。

【0170】

このような構成を有する電流生成供給回路 ILC においては、ハイレベルの選択信号SLが入力されると、動作設定回路70に設けられたトランジスタTr71がオン動作して、電流生成部20Cの電流出力接点OUTiが、該トランジスタTr71を介してデータラインDLに接続される。このとき同時に、インバータ72及びNAND回路73、インバータ74、75により、シフト信号SRの出力タイミングに関わらず、信号ラッチ部10を構成する各ラッチ回路LC0～LC3の入力接点CKにはローレベルのタイミング制御信号が、また、入力接点

CK*にはハイレベルのタイミング制御信号が定常的に入力されて、各ラッチ回路LC0～LC3に表示データD0～D3が取り込まれて保持され、上述したハイレベルの制御信号rckが印加されるタイミングで、電流生成部20Cに基準電流Irefが供給されて、表示データD0～D3に応じた階調電流が合成されて書込電流Ipixが生成される。これにより、各電流生成供給回路ILCに上述した制御信号rckが選択的に印加されるタイミングで、表示データD0～D3に基づいて生成された書込電流Ipixが、データラインDLを介して各表示画素に順次供給される（電流生成供給回路の選択状態）。

【0171】

一方、ローレベルの選択信号SLが入力されると、トランジスタTr71がオフ動作して、電流生成部20Cの電流出力接点OUTiがデータラインDLから切り離される。このとき同時に、インバータ72及びNAND回路73、インバータ74、75により、シフト信号SR（ハイレベル）の出力タイミングに応じて各ラッチ回路LC0～LC3の入力接点CK及び入力接点CK*に、反対極性の信号レベルを有するタイミング制御信号が入力されて、表示データD0～D3が取り込まれて保持され、上述した制御信号rck（ハイレベル）が印加されるタイミングで、表示データD0～D3に応じた書込電流Ipixが生成される。これにより、表示データD0～D3に基づいて書込電流Ipixが生成されるものの、データラインDLには供給されない状態となり、電流生成供給回路ILCが非選択状態に設定される。

【0172】

このような電流生成供給回路ILCを備えたデータドライバにおける制御動作は、上述した実施形態において示した表示装置の駆動制御方法（図11参照）と同様に、信号保持動作においては、シフトレジスタ回路131から順次出力されるシフト信号SR1、SR2、・・・に基づいて、選択状態に設定された複数の電流生成供給回路ILCの各々に設けられた信号ラッチ回路10により、各列ごとの表示データD0～D3が順次取り込まれ、表示データD0～D3の反転信号に相当する保持信号D10*～D13*が電流生成部20Cに出力される。

【0173】

また、電流生成供給動作においては、複数の電流生成供給回路 ILCのうち、唯一の電流生成供給回路 ILCに上記制御信号 rck が選択的に（同時にハイレベルにならないように）印加されるタイミングで、電流生成部 20C に基準電流 Iref が供給されて、保持信号 D10* ~ D13* に基づいて、該基準電流 Iref を基準とし、予め規定された電流値を有する複数の階調電流から、所定の階調電流を選択して合成し、正極性の書込電流 Ipix を生成して、各データライン DL1、DL2、・・・を介して、表示画素方向に流し込むように順次供給する。

【0174】

したがって、本実施形態に係る表示装置によれば、書込電流の生成に際し、各データライン DL1、DL2、・・・に対応して設けられた各電流生成供給回路 ILC に、基準電流 Iref が選択的に供給されて、該基準電流 Iref を基準として表示データ D0 ~ D3 に応じた階調電流を生成して合成することにより、各電流生成供給回路相互の回路特性や、トランジスタ等の能動素子の素子特性のバラツキの影響を受けることなく、適切かつ均一な電流値を有する書込電流を各表示画素に供給することができるので、良好な階調表示動作を実現することができ、表示画質の向上を図ることができる。

【0175】

なお、本実施形態においては、書込電流の生成に際し、各電流生成供給回路 ILC（電流生成部 20C）への基準電流 Iref の供給状態を設定するスイッチ手段 TS1、TS2 又は TS3、TS4 を切換制御する制御信号 rck として、例えば、システムコントローラ 150 等において生成、出力される信号を適用する場合について説明したが、本発明はこれに限定されるものではなく、システムコントローラ等における処理負担を軽減し、回路構成を簡素化するために、例えば、各電流生成供給回路 ILC における動作制御のために供給されている他の制御信号を用いて、上記スイッチ手段 TS1、TS2 又は TS3、TS4 を切換制御するように構成してもよい。

【0176】

例えば、図 37 に示す電流生成供給回路 ILD においては、上述した図 36 に示した電流生成供給回路 ILC において、動作制御部 70 に設けられたインバー

タ 74 の反転出力（すなわち、信号ラッチ部 10 を構成する各ラッチ回路 LC0 ～ LC3 の入力接点 CK に入力されるタイミング制御信号）を、電流生成部 20 C におけるスイッチ手段 TS1、TS2 又は TS3、TS4 を切換制御するための制御信号 rck として供給するように構成されている。

【0177】

すなわち、上述したように、各ラッチ回路 LC0 ～ LC3 の入力接点 CK、CK* に入力されるタイミング制御信号に基づくタイミング（シフトレジスタ回路 131 から出力されるシフト信号 SR1、SR2、・・・のタイミングと同期するタイミング）で、各ラッチ回路 LC0 ～ LC3 において、表示データ D0 ～ D3 を取り込み保持する信号保持動作が実行され、一方、ハイレベルの制御信号 rck が印加されるタイミングで、電流生成部 20 C に基準電流 Iref が供給されて、表示データ D0 ～ D3 に応じた書込電流 Ipix を生成する電流生成供給動作が実行されるので、これらの各動作を同時並行的に順次繰り返し実行する駆動制御方法を適用する場合には、各ラッチ回路 LC0 ～ LC3 の入力接点 CK に入力されるタイミング制御信号と上記制御信号 rck の供給タイミングを一致させて設定することができ、すなわち、単一のタイミング制御信号を用いて各動作を制御することができる。

したがって、このような構成によれば、信号ラッチ部 10 における信号保持動作及び電流生成部 20 C における電流生成供給動作を、各電流生成供給回路 ILC に供給される既存の制御信号を用いて、同時並行的に駆動制御することができるので、システムコントローラ等における処理負担を軽減することができるとともに、回路構成を簡素化することができる。

【0178】

なお、図 36 及び図 37 に示した電流生成供給回路 ILC、ILD においては、図 4 に示した電流生成供給回路 ILB と同様に、各電流生成供給回路 ILC、ILD により生成された書込電流を、各データラインを介して表示画素方向に流し込むように設定した回路構成を示したが、本発明はこれに限定されるものではなく、上述した図 1 に示した電流生成供給回路 ILA と同様に、上記書込電流を、各表示画素側からデータラインを介して電流生成供給回路 ILC、ILD に引

き込むように設定した回路構成を有するものであってもよい。

【0179】

【発明の効果】

以上説明したように、本発明に係る電流生成供給回路及びその制御方法によれば、有機EL素子や発光ダイオード等のように、電流値に応じて所定の駆動状態（発光輝度）で動作する複数の負荷に対して、所定の電流値を有する負荷駆動電流（書込電流、発光駆動電流）を供給する電流駆動装置において、複数ビットのデジタル信号を並列的に保持する信号ラッチ部と、該複数ビットのデジタル信号に対応した電流値を有する負荷駆動電流を生成、出力する電流生成部と、を備え、該電流生成部の構成として、基準電流が流れる基準電流トランジスタと、複数の階調電流を流す階調電流トランジスタからなるカレントミラー回路構成を適用することにより、一定の基準電流を流すのみで、異なる電流値を有する複数の階調電流を一義的に生成して、上記複数ビットのデジタル信号に基づいて、所望の電流値を有する負荷駆動電流（任意の階調電流の合成電流）を生成することができ、したがって、電流生成供給回路の動作に関連する信号配線（電流供給線）における電位変動を抑制して、該配線に付加された寄生容量の充放電動作に要する時間を削減することができ、電流生成供給回路、又は、電流生成供給回路を備えた電流駆動装置の動作速度を向上させることができる。

【0180】

また、本発明に係る表示装置によれば、相互に直交する走査ライン及びデータラインの交点近傍に、マトリクス状に表示画素が配列された表示パネルを備える表示装置において、上述したような電流生成供給回路をデータドライバ、もしくは、表示画素内の画素駆動回路に適用することにより、一定の電流値を有する基準電流に基づいて、表示データに応じた電流値を有する書込電流又は発光駆動電流が生成されるので、表示パネルの小型化や高精細化に伴って表示画素が微細化された場合や、比較的下位の輝度階調で各表示画素を発光動作させる場合等のように、表示画素供給される書込電流や発光素子に供給される発光駆動電流が微小な場合であっても、信号配線に付加された寄生容量の影響を受けることなく、表示データに対応した適正な電流値を有する書込電流又は発光駆動電流を迅速に生

成して発光素子に出力することができる。したがって、表示画素（発光素子）を表示データに応じた適正な輝度階調で発光動作させることができ、所望の画像情報を良好な画質で表示することができる。

【0181】

特に、本発明に係る表示装置においては、上述した電流生成供給回路を表示画素内の画素駆動回路に適用することにより、表示パネルに配設される各データラインを介して、表示データに対応する複数ビットのデジタル信号（階調データ）を各表示画素（画素駆動回路）に直接供給することができ、また、各画素駆動回路において該デジタル信号に基づいてアナログ信号からなる発光駆動電流を生成することができるので、表示画素にアナログ信号からなる書込電流を供給する構成に比較して、信号レベルの劣化や外部ノイズ等の影響を受けにくくなり、表示データに対応した適切な輝度階調で発光素子を発光動作させることができ、表示画質（S/N比）の向上を図ることができる。

【0182】

また、上記電流生成供給回路において、電流生成供給回路を構成するカレントミラー回路部（基準電流トランジスタ及び階調電流トランジスタ）として、いわゆる、ボディターミナル構造を有する電界効果トランジスタを適用することにより、特定の電圧範囲において略一定の電流値を示す飽和領域を有する電圧－電流特性を得ることができるので、デジタル信号に基づいて保持した電流に対して、適切に対応した電流値を有する負荷駆動電流を生成することができ、各負荷を所望の駆動状態で動作させることができる。したがって、このようなトランジスタ構造を、本発明に係る電流生成供給回路を備えた表示装置（データドライバに適用される電流生成供給回路（カレントミラー回路部）や、表示画素内の画素駆動回路を構成する発光駆動用トランジスタ）に適用することにより、表示データに適切に対応した電流値を有する書込電流や発光駆動電流を生成することができ、各表示画素を表示データに対応した適切な輝度階調で発光動作させて、表示画質の向上を図ることができる。

【0183】

また、上述したような電流生成供給回路を表示装置のデータドライバや、表示

画素内の画素駆動回路に適用した場合においては、各データラインや表示画素に対応して、共通の電流供給線に並列的に接続された複数の電流生成供給回路に対して、各電流生成供給回路（電流生成部）に設けられたスイッチ手段を選択的に切換制御することにより、一時に唯一の電流生成供給回路にのみ、一定の電流値を有する基準電流を供給して、該基準電流をそのまま用いて負荷駆動電流を生成することができる。したがって、各電流生成供給回路相互の回路特性や、能動素子の素子特性のバラツキの影響を受けることなく、表示データに応じた適切かつ均一化された電流値を有する書込電流や発光駆動電流を生成して、表示画素や発光素子に供給することができるので、輝度階調のバラツキの抑制された、良好な表示画質を実現することができる。

【図面の簡単な説明】

【図 1】

本発明に係る電流生成供給回路の一実施形態を示す概略構成図である。

【図 2】

本実施形態に係る電流生成供給回路に適用されるラッチ回路の一具体例を示す回路構成図である。

【図 3】

本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。

【図 4】

本発明に係る電流生成供給回路の他の実施形態を示す概略構成図である。

【図 5】

本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。

【図 6】

本発明に係る電流生成供給回路を適用可能な表示装置の第 1 の実施形態を示す概略ブロック図である。

【図 7】

本実施形態に係る表示装置に適用される表示パネルの一例を示す概略構成図で

ある。

【図 8】

本実施形態に係る表示装置の他の構成例を示す概略ブロック図である。

【図 9】

本実施形態に係る表示装置に適用される画素駆動回路の一実施例を示す回路構成図である。

【図 10】

本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す回路構成図である。

【図 11】

本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

【図 12】

本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。

【図 13】

本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。

【図 14】

本実施形態に係る表示装置に適用されるデータドライバの他の実施例を示す回路構成図である。

【図 15】

本発明に係る電流生成供給回路を適用可能な表示装置（表示パネル）の第 2 の実施形態を示す概略構成図である。

【図 16】

本実施形態に係る表示装置に適用される画素駆動回路の一実施例を示す回路構成図である。

【図 17】

本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す回路構成図である。

【図 18】

本実施形態に係る表示装置（データドライバ及び表示パネル）における制御動作の一例を示すタイミングチャートである。

【図 19】

本実施形態に係る表示装置に適用される画素駆動回路の他の実施例を示す回路構成図である。

【図 20】

本発明に係る電流生成供給回路及び表示装置に適用される n チャネル型トランジスタの電圧－電流特性を示す図である。

【図 21】

本発明に係る電流生成供給回路及び表示装置に適用される p チャネル型トランジスタの電圧－電流特性を示す図である。

【図 22】

発光駆動用トランジスタ（p チャネル型トランジスタ）における電圧－電流特性と、書込動作時と発光動作時におけるドレイン電流の電流値との関係を示す図である。

【図 23】

ボディターミナル構造を有する p チャネル型のトランジスタ（MOS T）の平面構成を示す概略図である。

【図 24】

ボディターミナル構造を有する p チャネル型のトランジスタの断面構成を示す概略図である。

【図 25】

ボディターミナル構造を有する n チャネル型トランジスタの電圧－電流特性を示す図である。

【図 26】

ボディターミナル構造を有する p チャネル型トランジスタの電圧－電流特性を示す図である。

【図 27】

電流生成部のカレントミラー回路部に、ボディターミナル構造を有する n チャネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 28】

電流生成部のカレントミラー回路部に、ボディターミナル構造を有する p チャネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 29】

画素駆動回路の発光駆動用トランジスタに、ボディターミナル構造を有する n チャネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 30】

画素駆動回路の発光駆動用トランジスタに、ボディターミナル構造を有する p チャネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 31】

従来技術におけるデータドライバの一例を示す回路構成図である。

【図 32】

従来技術におけるデータドライバの他の例を示す回路構成図である。

【図 33】

本発明に係る電流生成供給回路のさらに他の実施形態に適用される、電流生成部の一具体例を示す概略構成図である。

【図 34】

本実施例に係る電流生成部の具体回路例を示す図である。

【図 35】

本発明に係る電流生成部のさらに他の実施形態に適用される、電流生成部の他の具体例を示す概略構成図である。

【図 36】

本実施形態に係る電流生成部を適用した電流生成供給回路の一例を示す概略構成図である。

【図 37】

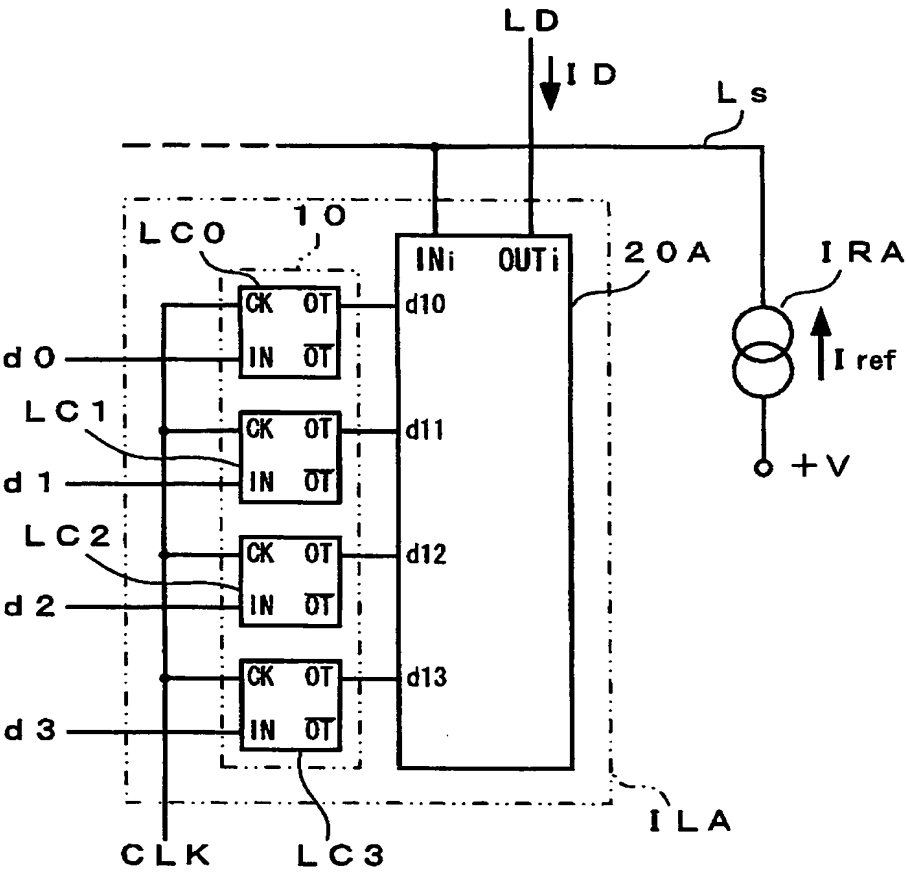
本実施形態に係る電流生成部を適用した電流生成供給回路の他の例を示す概略構成図である。

【符号の説明】

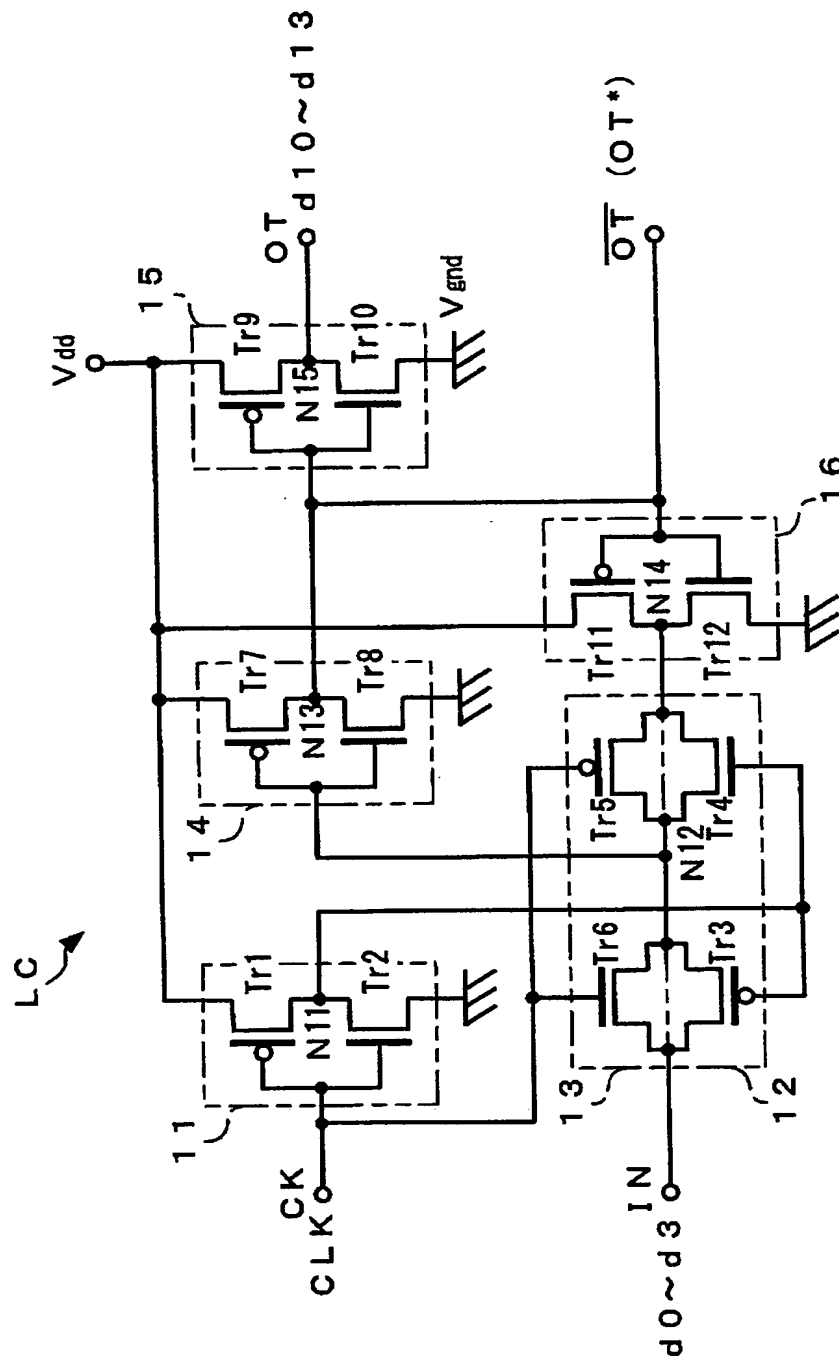
I L A、I L B	電流生成供給回路
1 0	信号ラッチ部
2 0 A、2 0 B	電流生成部
2 1 A、2 1 B	カレントミラー回路部
2 2 A、2 2 B	スイッチ回路部
L C 0 ~ L C 3	ラッチ回路
I R A、I R B	電流発生源
1 0 0 A ~ 1 0 0 C	表示装置
1 1 0 A ~ 1 1 0 C	表示パネル
1 2 0 A ~ 1 2 0 C	走査ドライバ
1 3 0 A ~ 1 3 0 C	データドライバ
1 4 0	電源ドライバ
1 5 0	システムコントローラ
1 6 0	表示信号生成回路
D C x ~ D C z	画素駆動回路
O E L	有機 E L 素子

【書類名】 図面

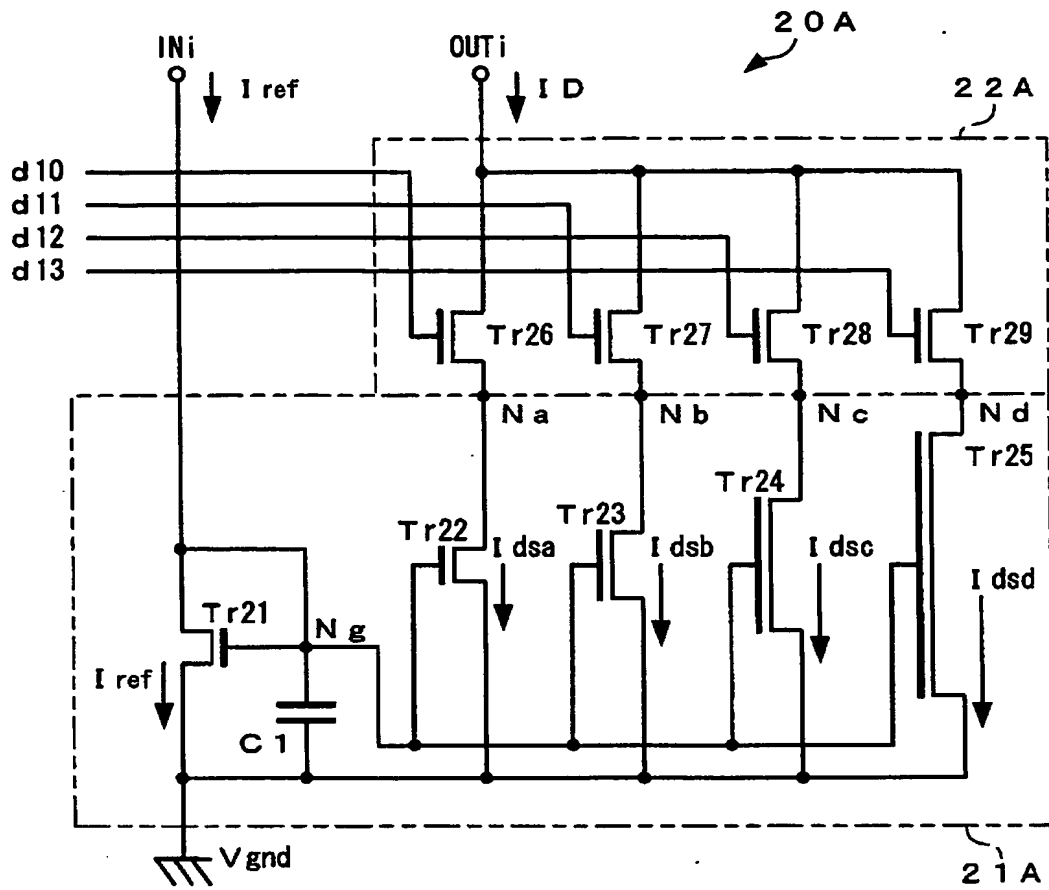
【図 1】



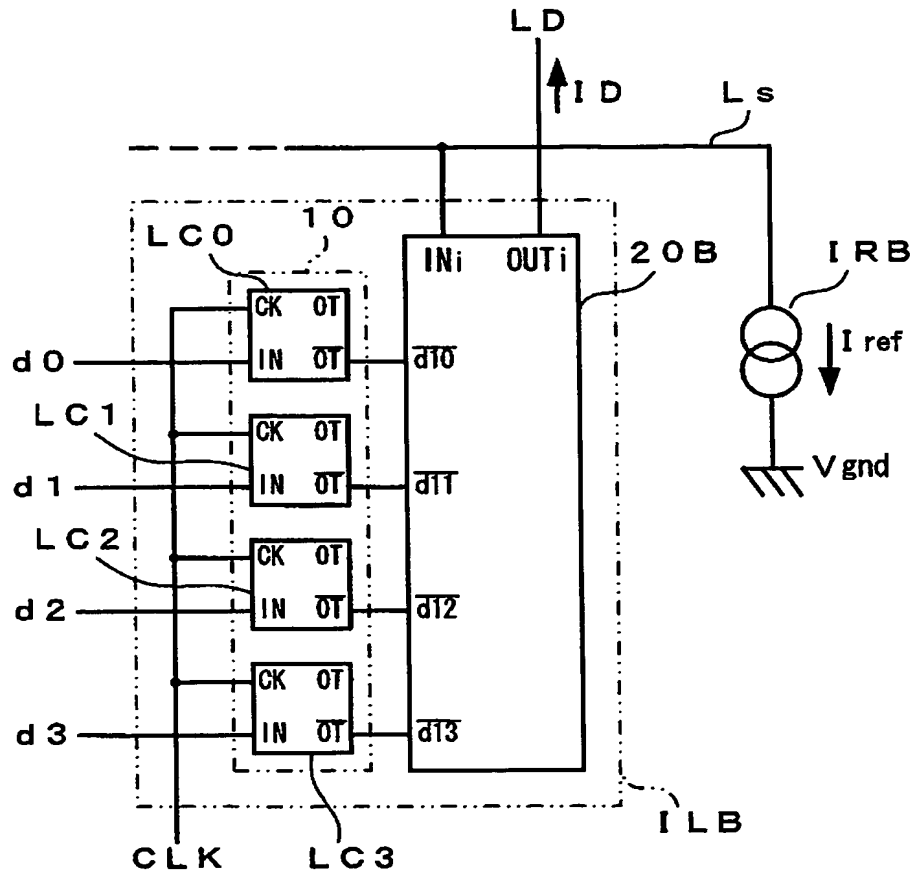
【図 2】



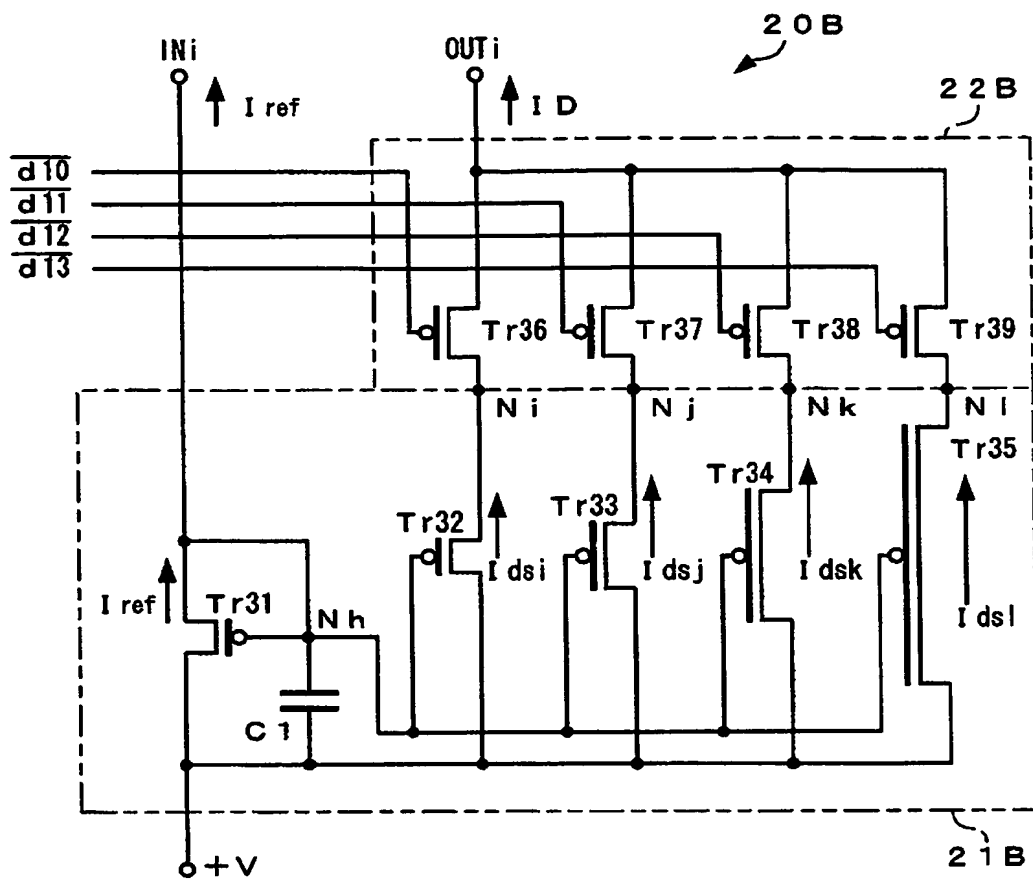
【図 3】



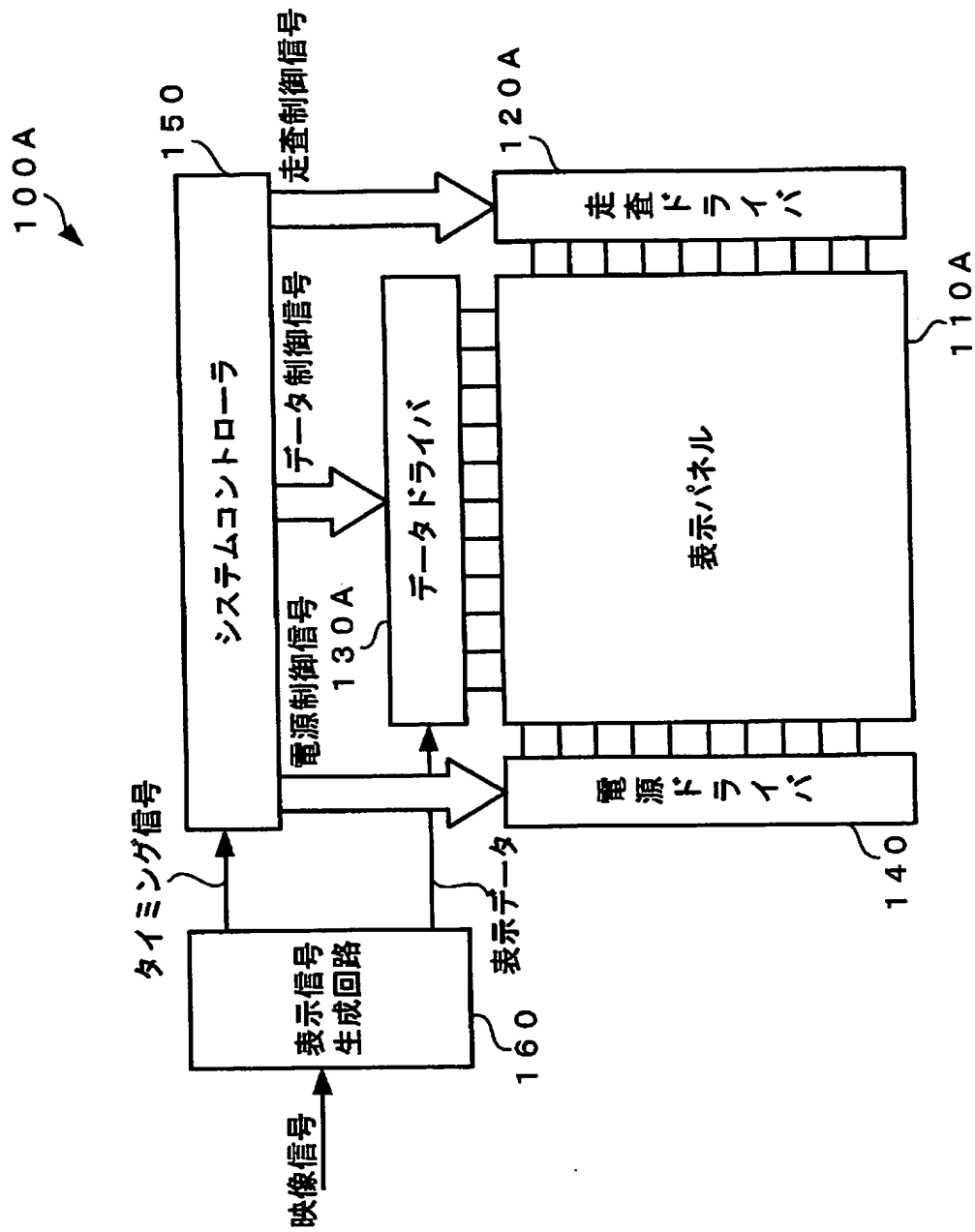
【図 4】



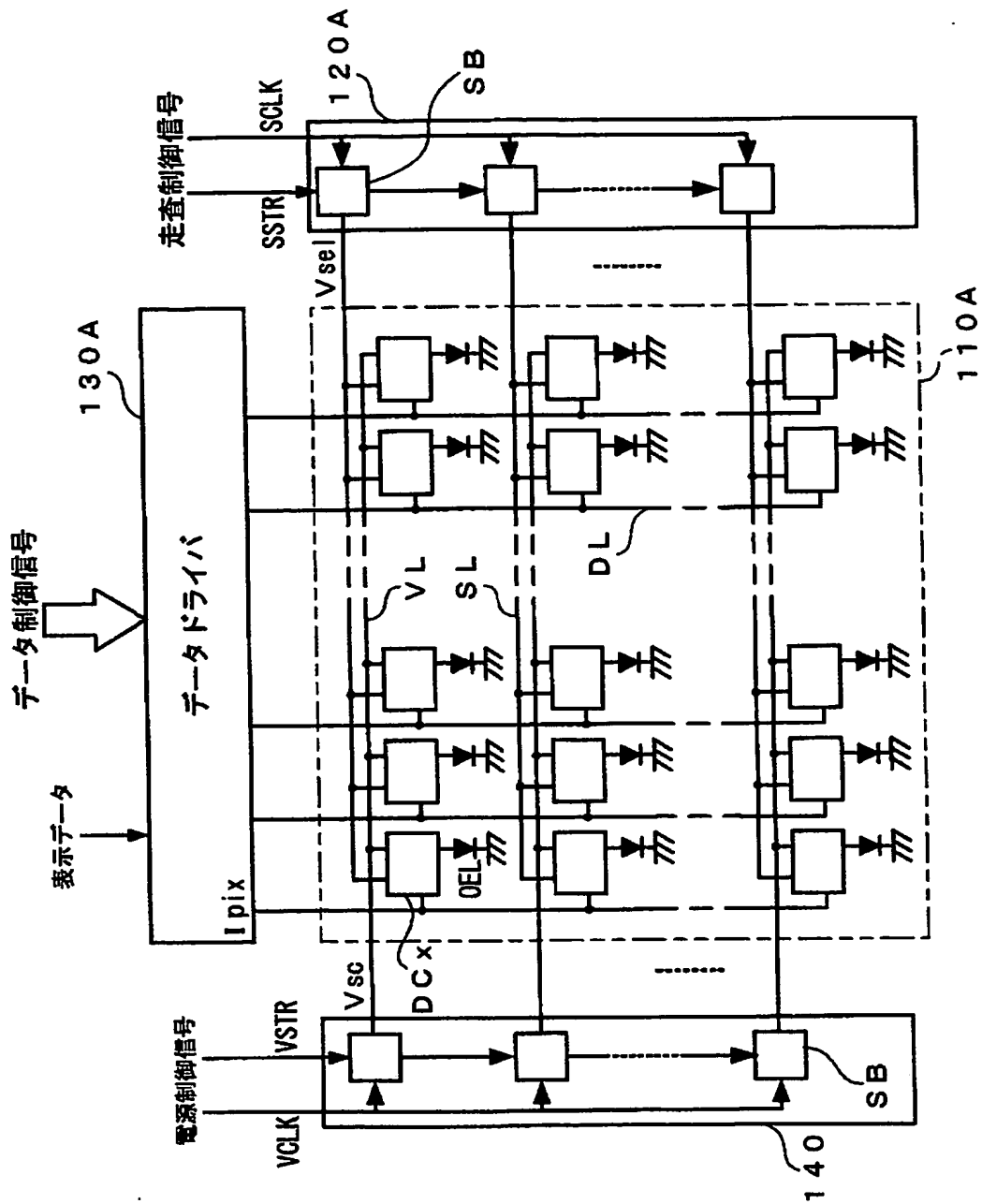
【図 5】



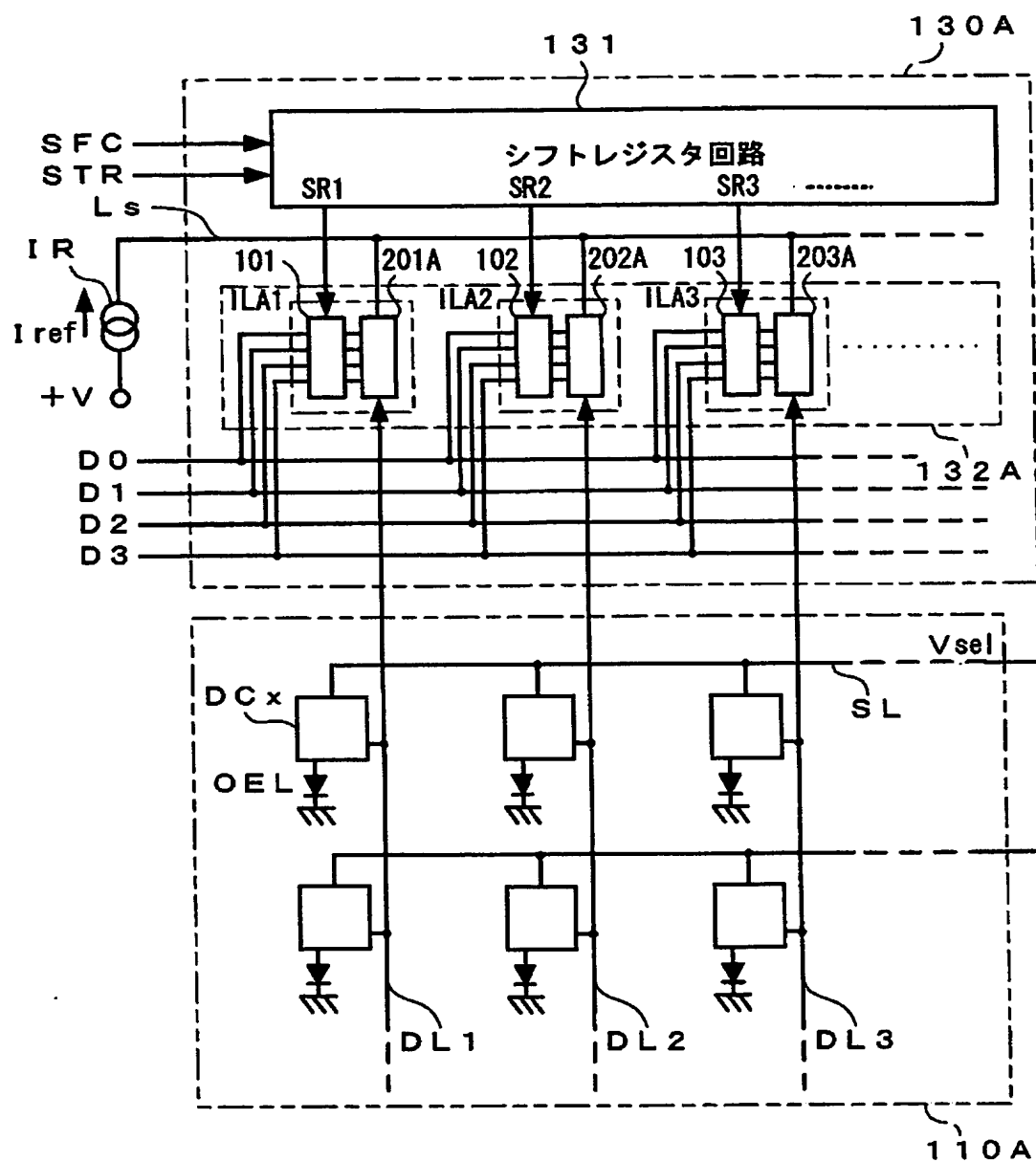
【図 6】



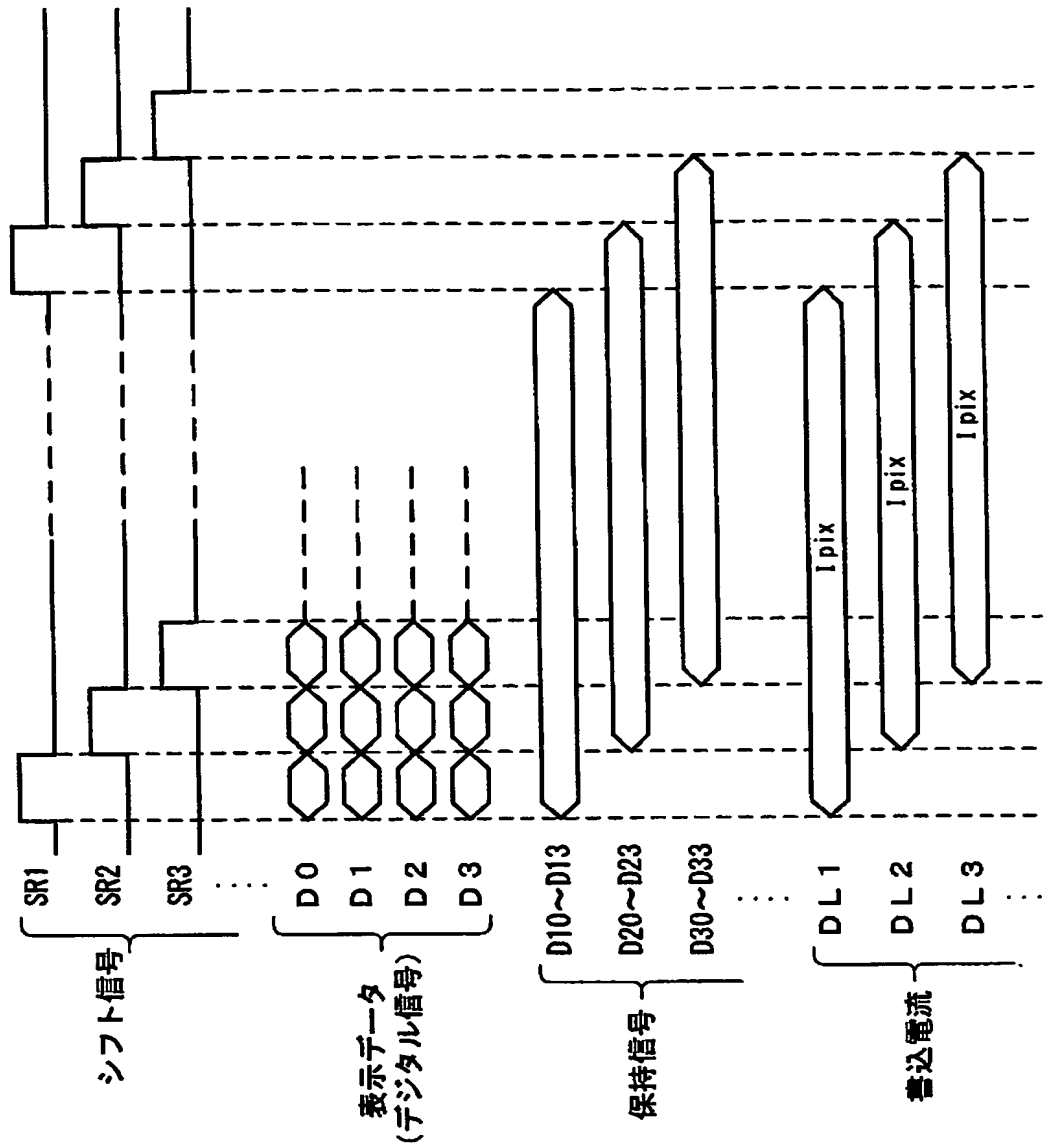
【図7】



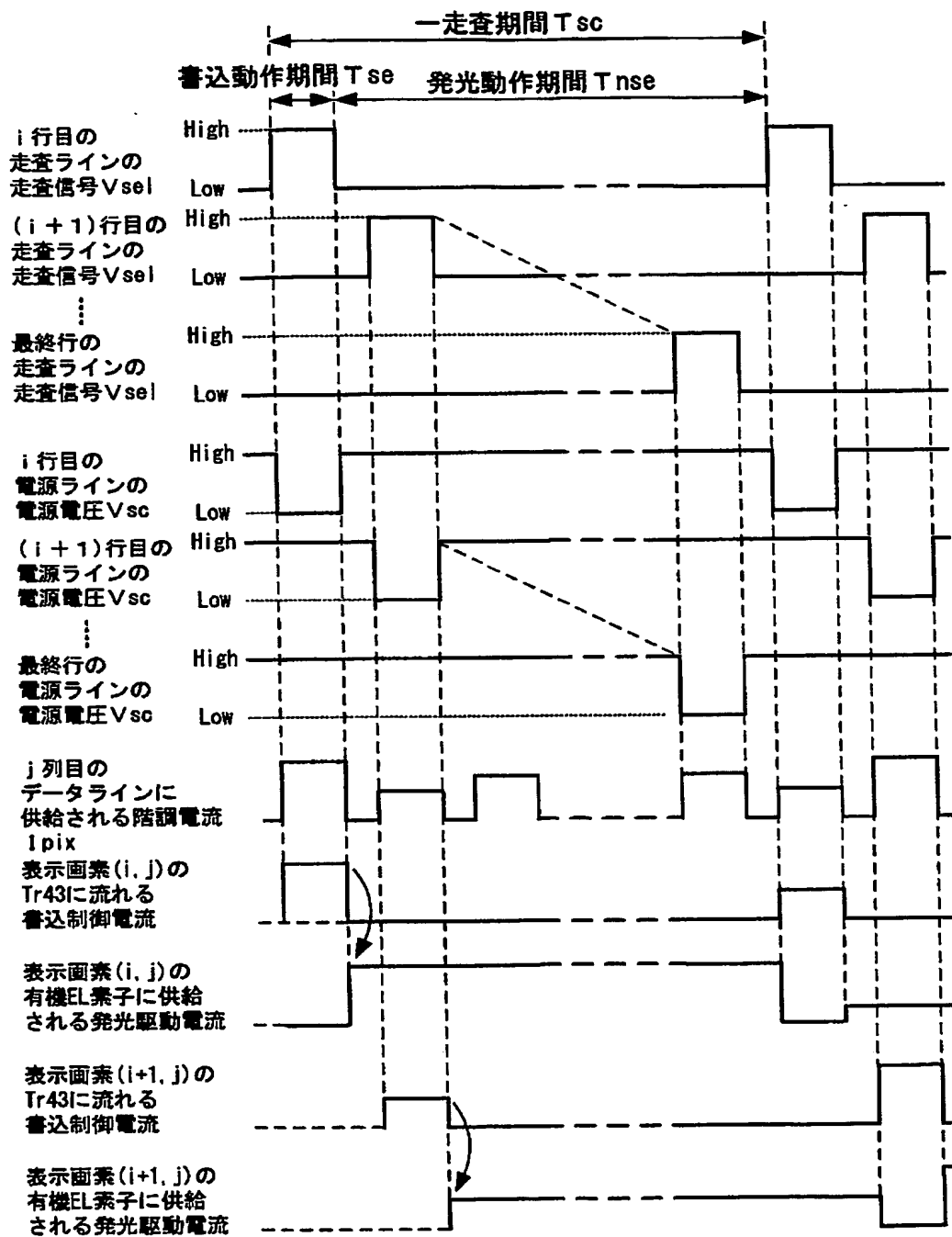
【図 10】



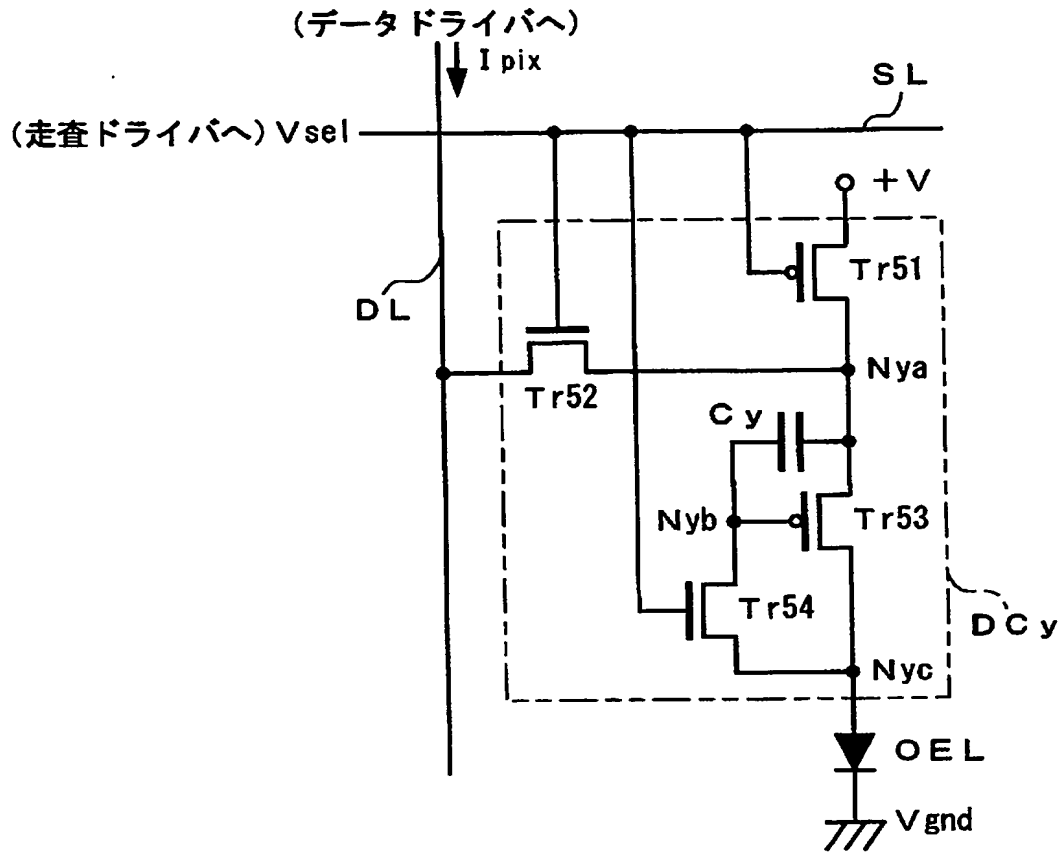
【図 11】



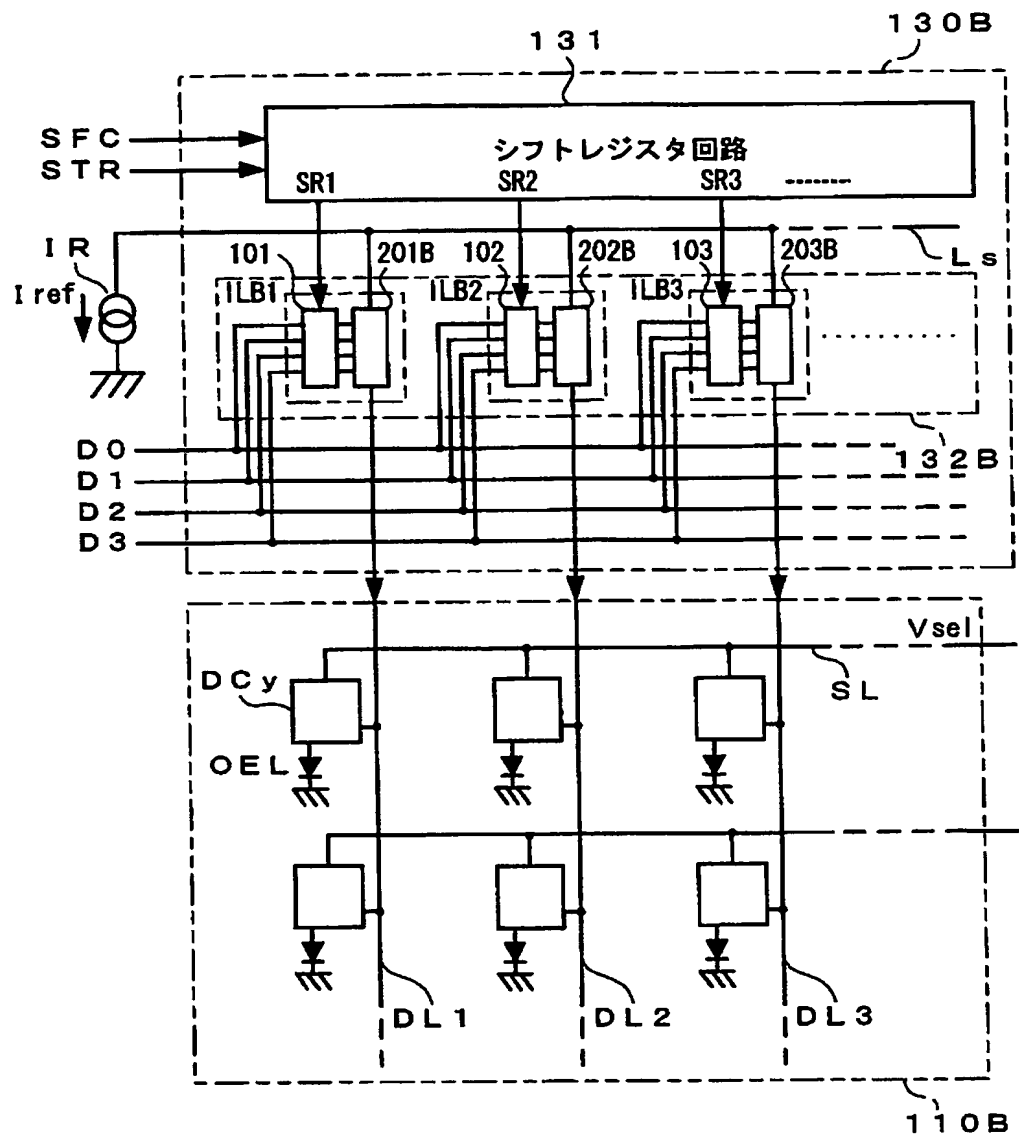
【図 12】



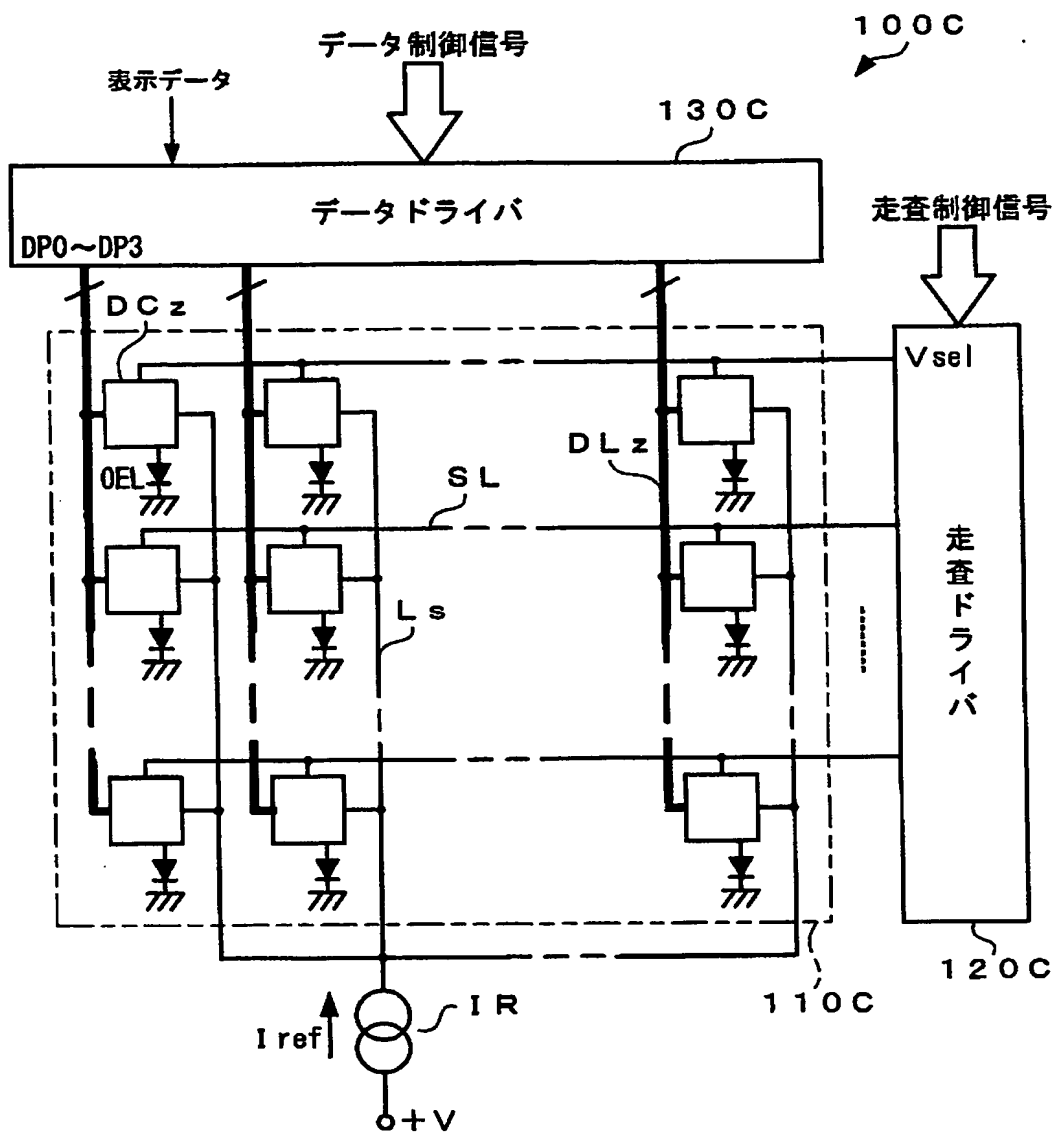
【図 13】



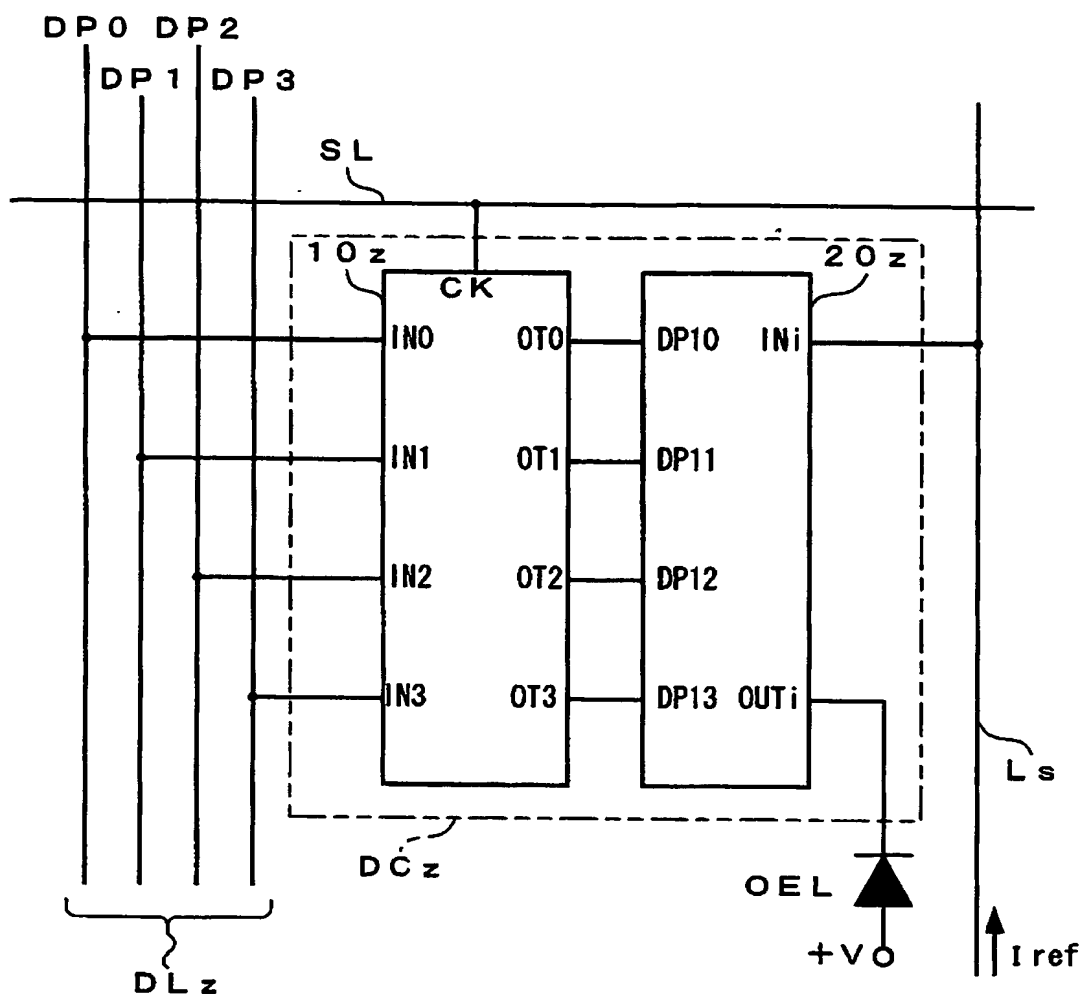
【図 14】



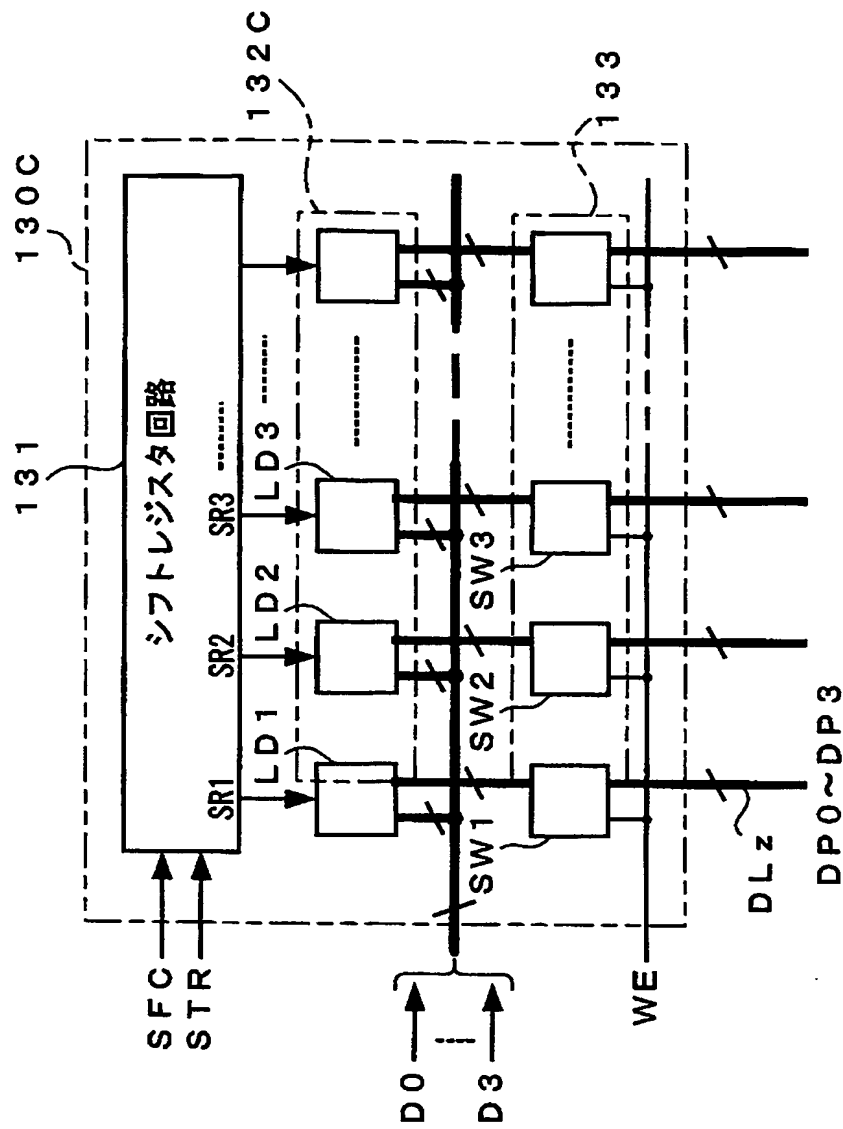
【図 15】



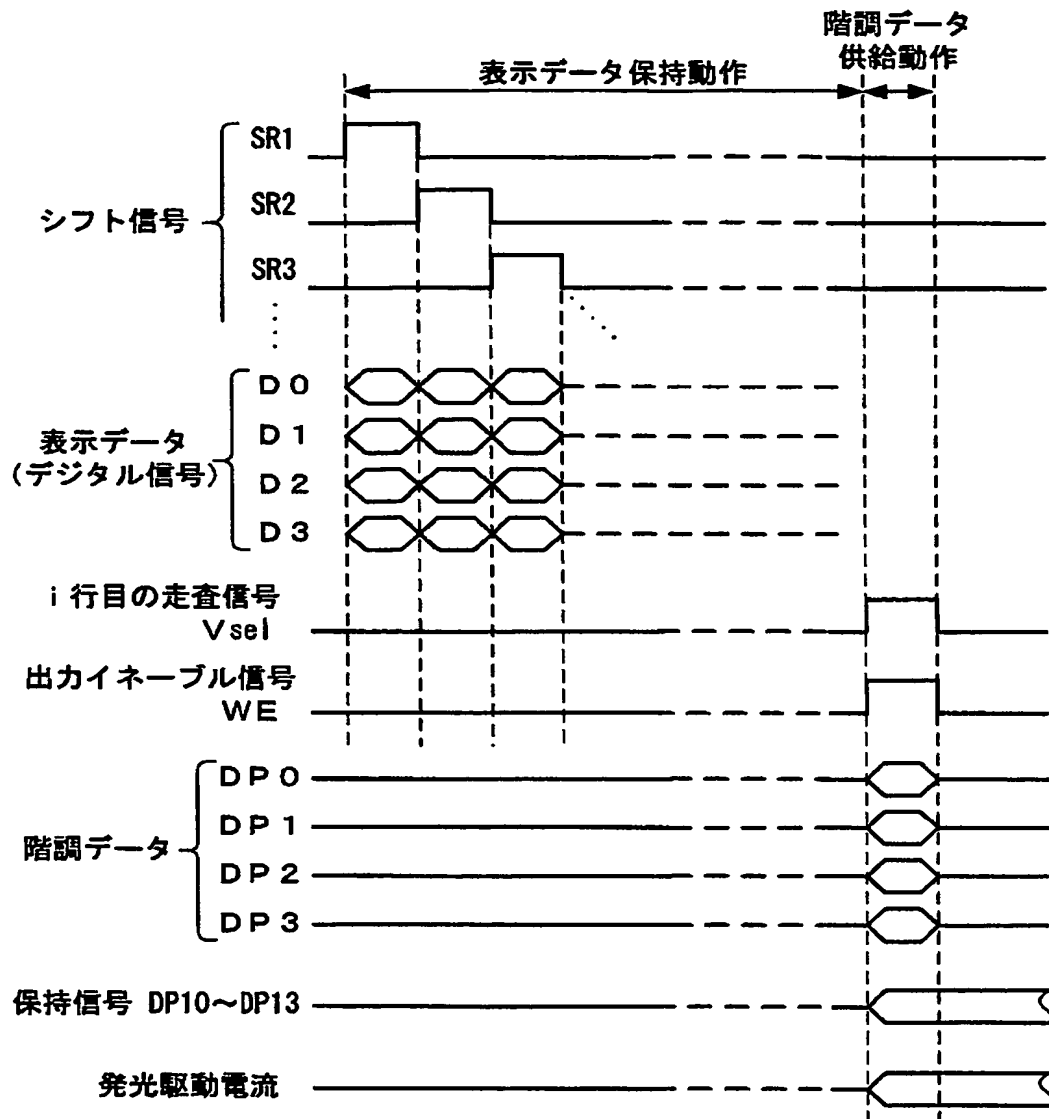
【図 16】



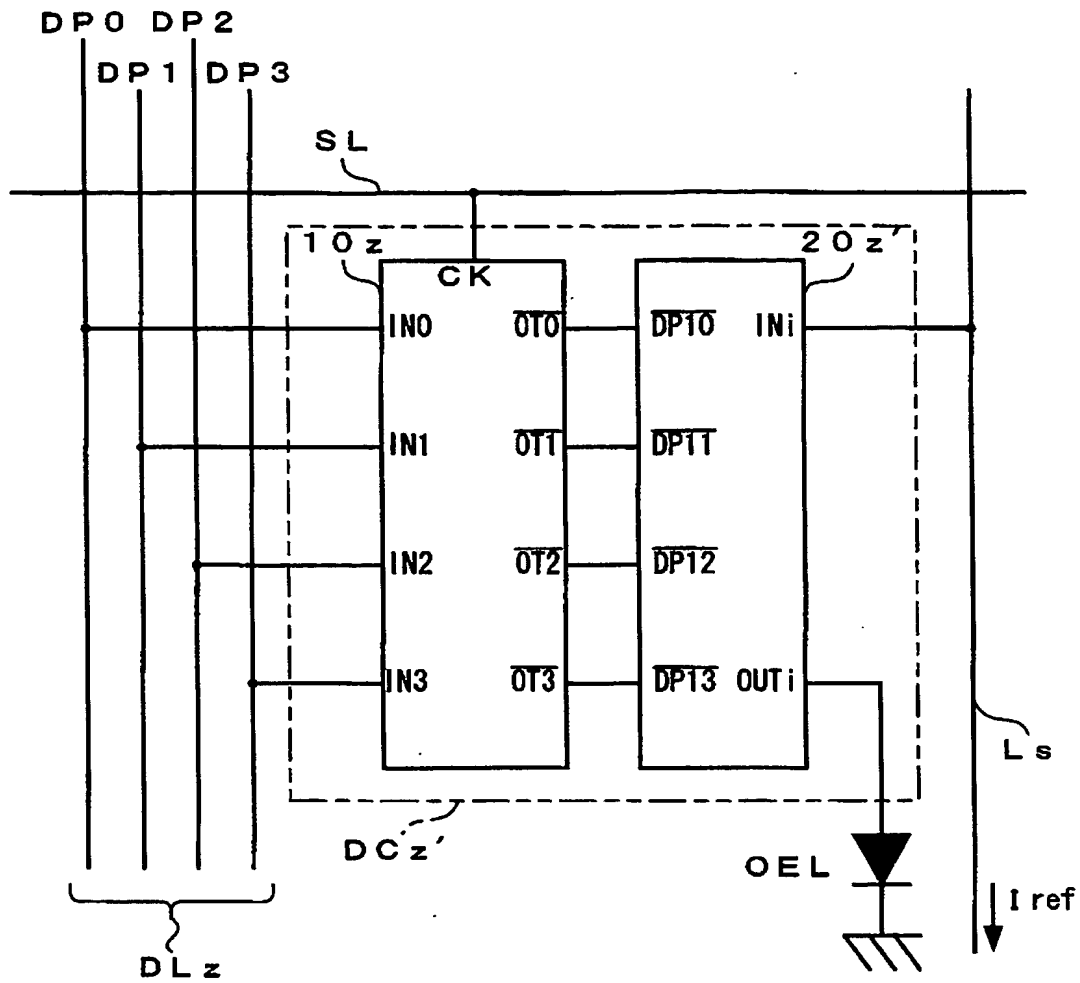
【図 17】



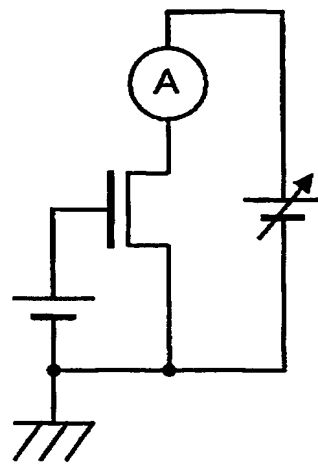
【図 18】



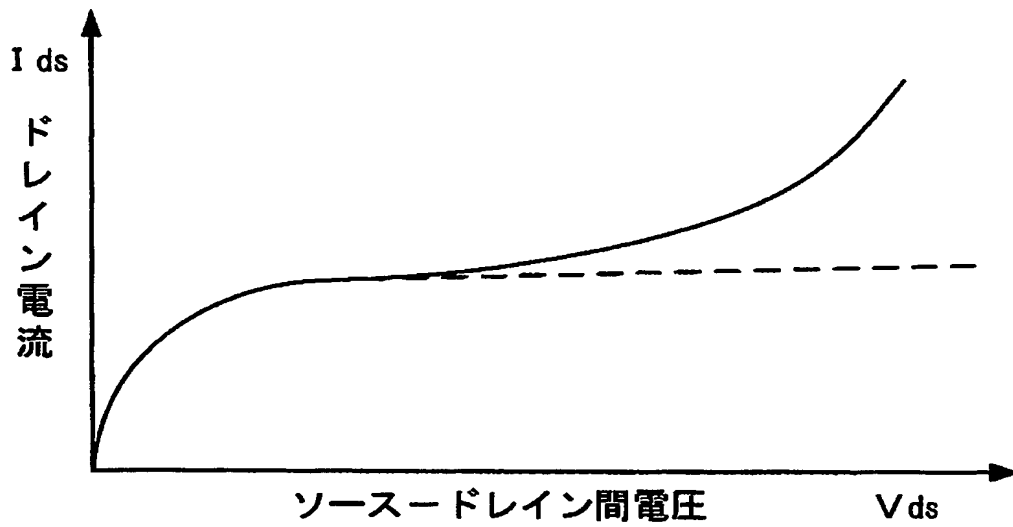
【図 19】



【図 20】

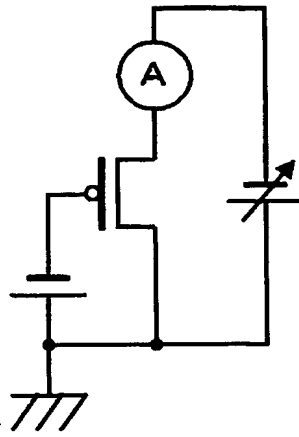


(a)

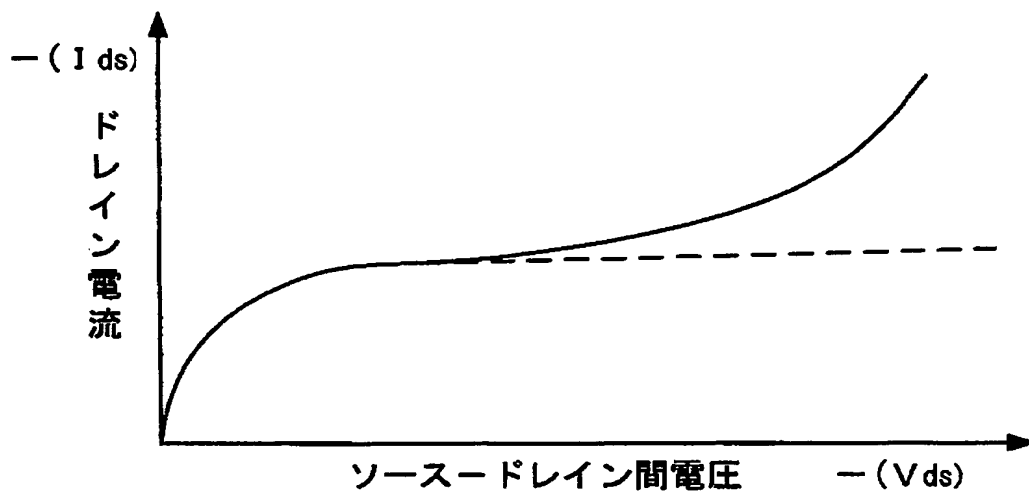


(b)

【図 21】

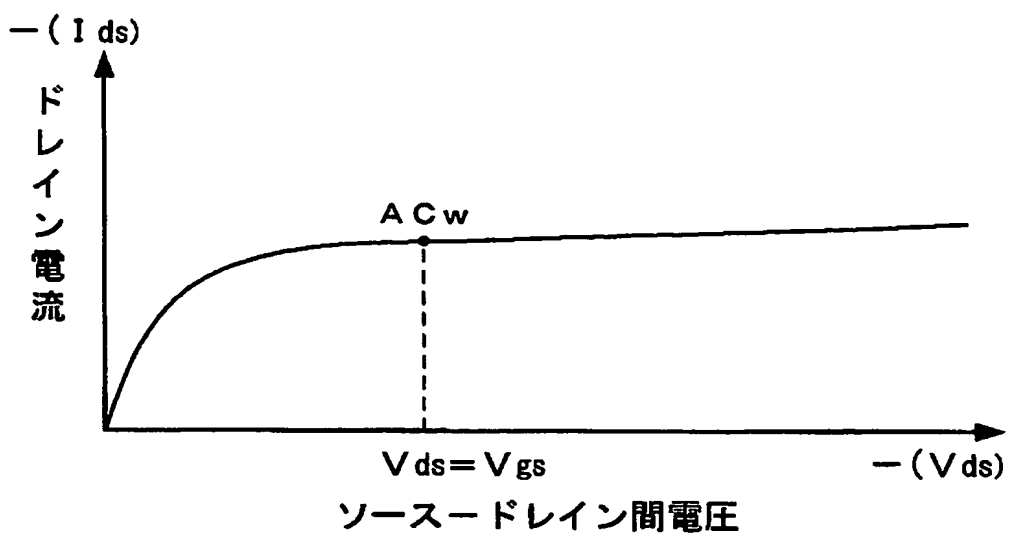


(a)

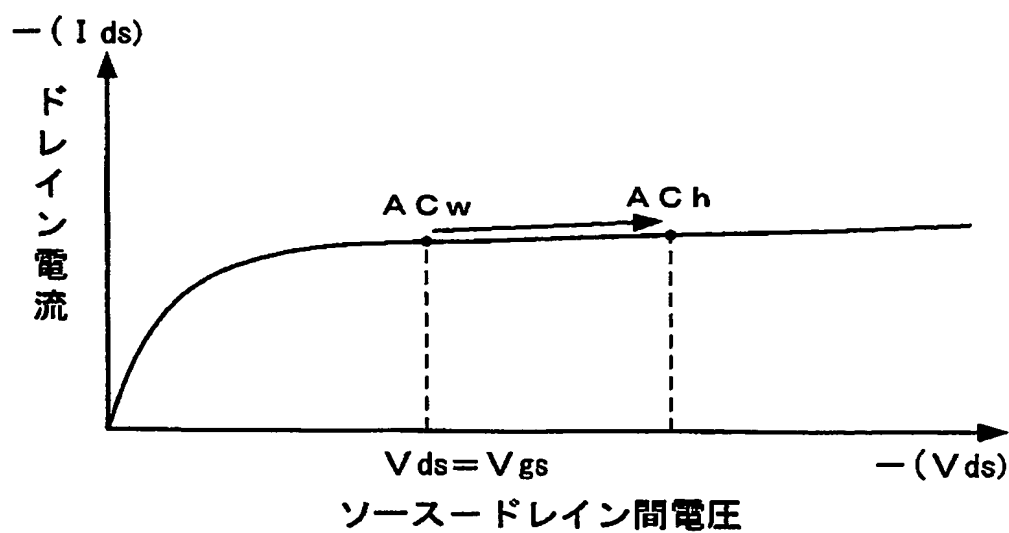


(b)

【図 22】

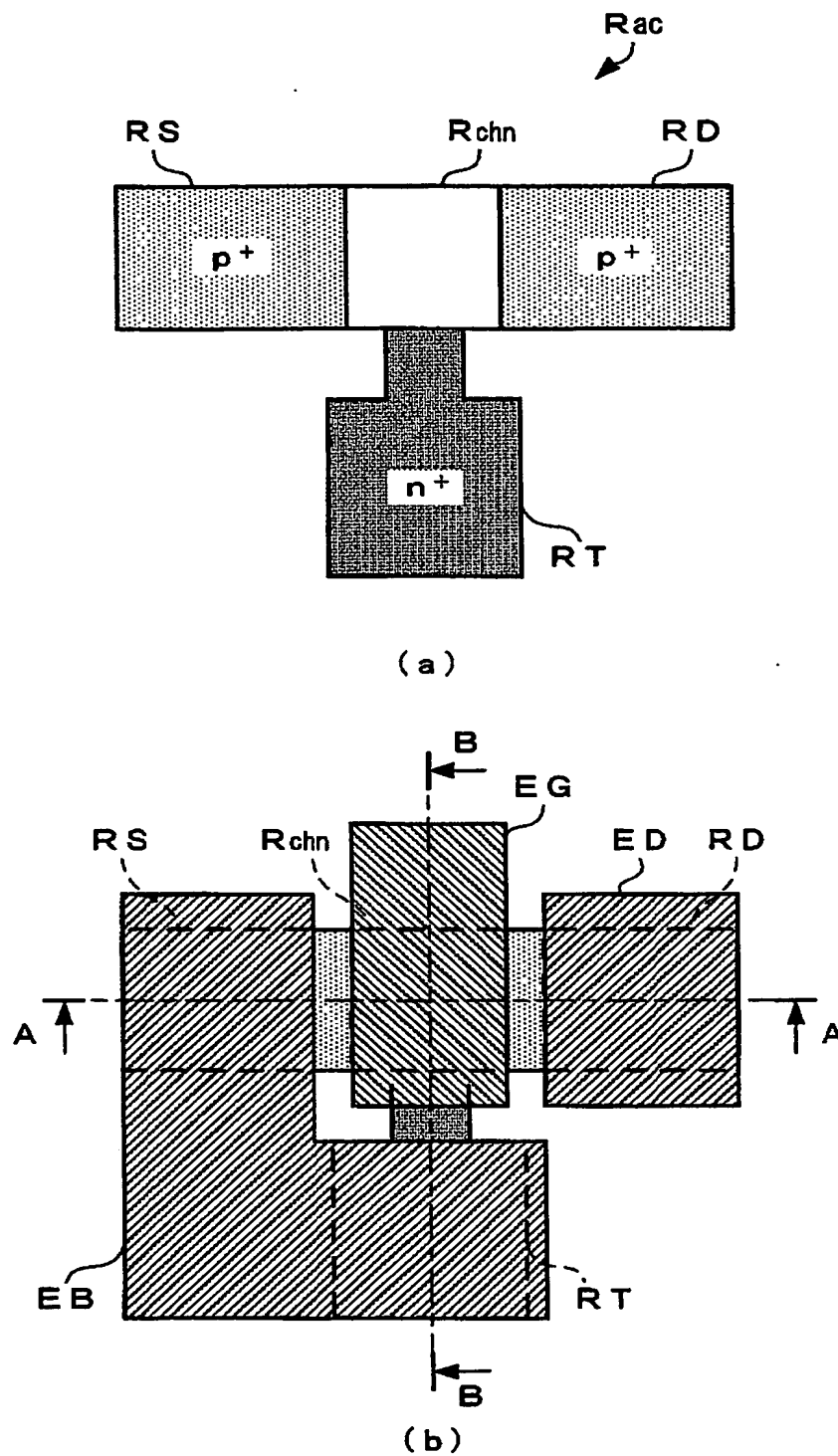


(a)

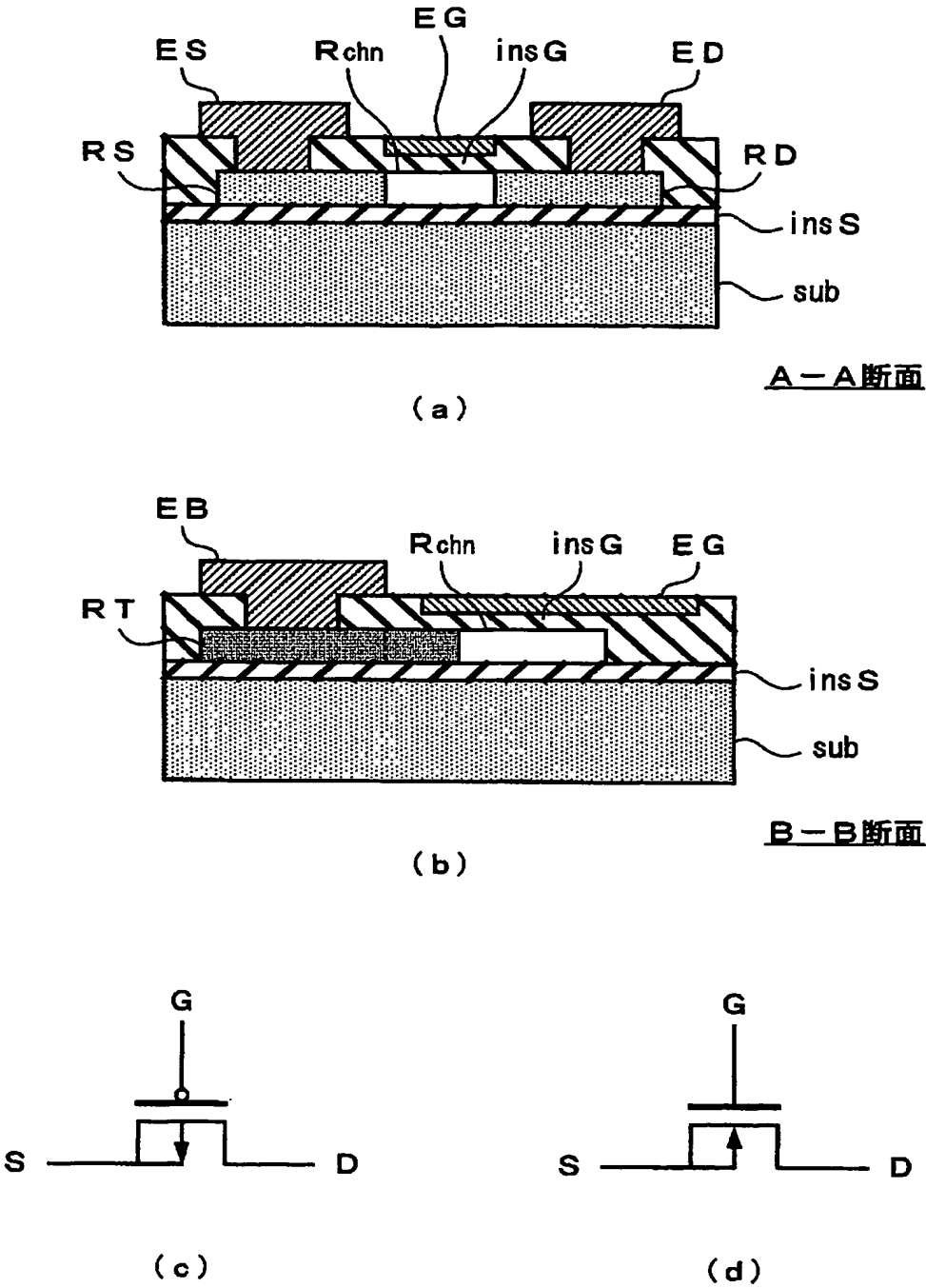


(b)

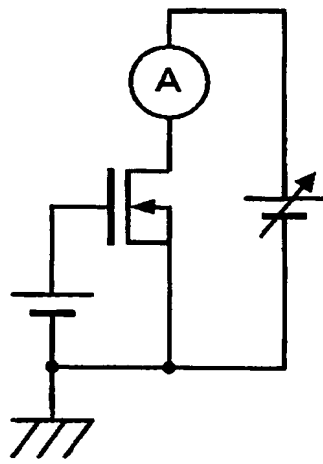
【図 23】



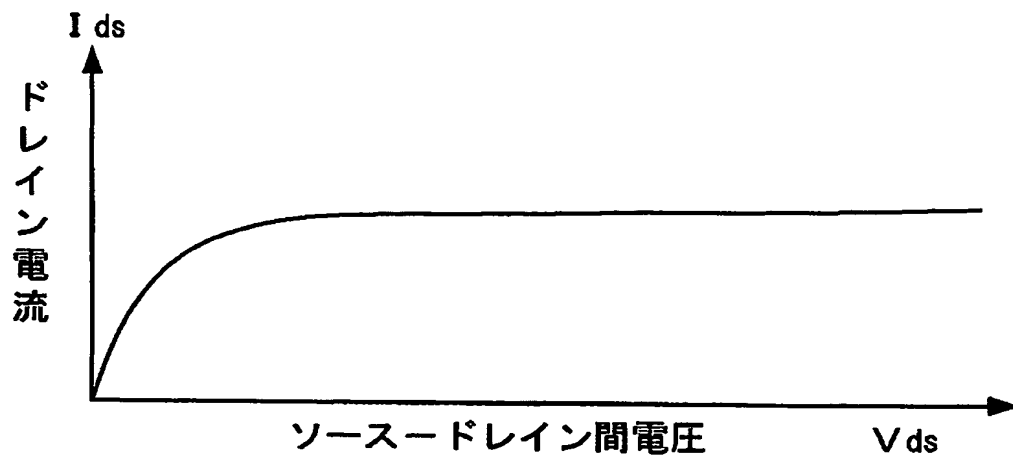
【図 24】



【図 25】

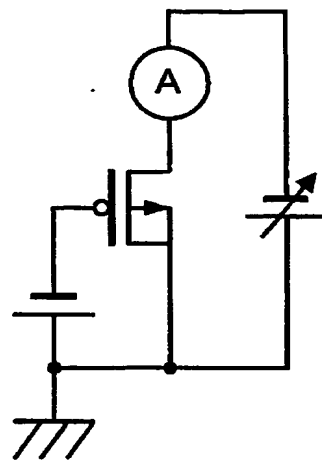


(a)

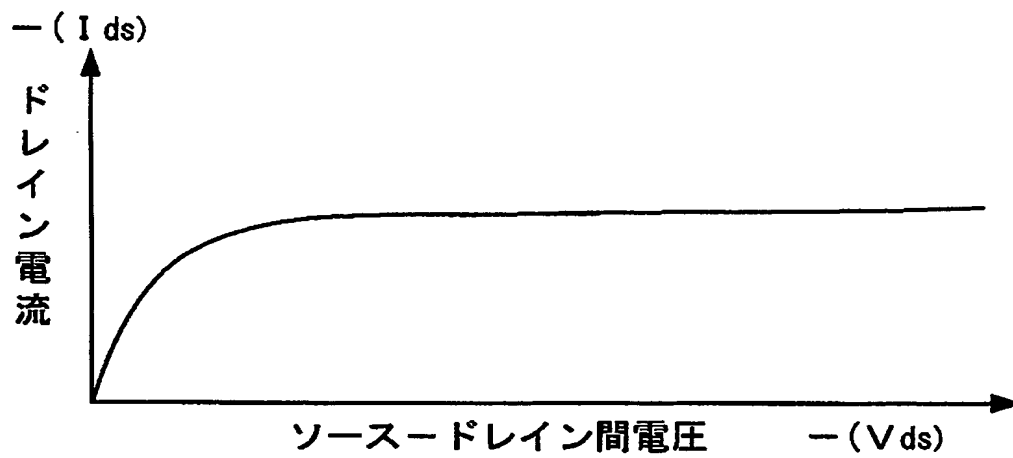


(b)

【図 26】

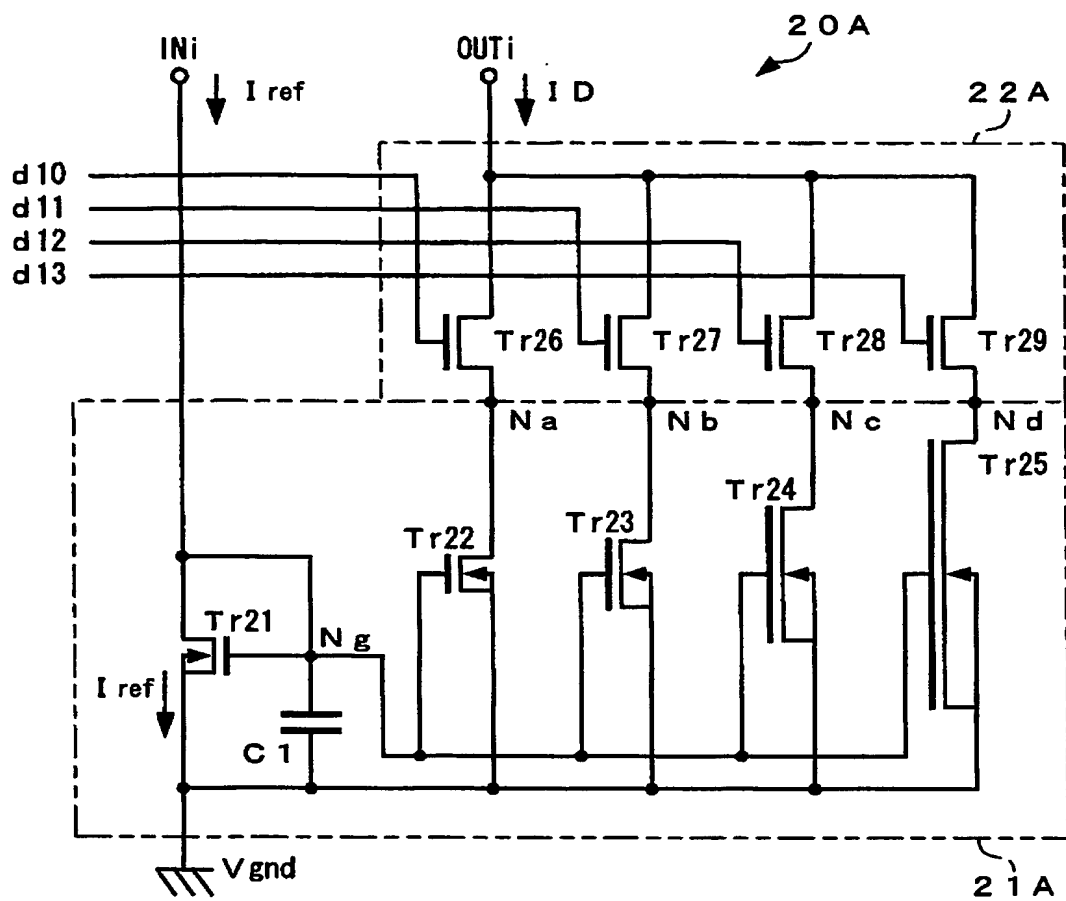


(a)

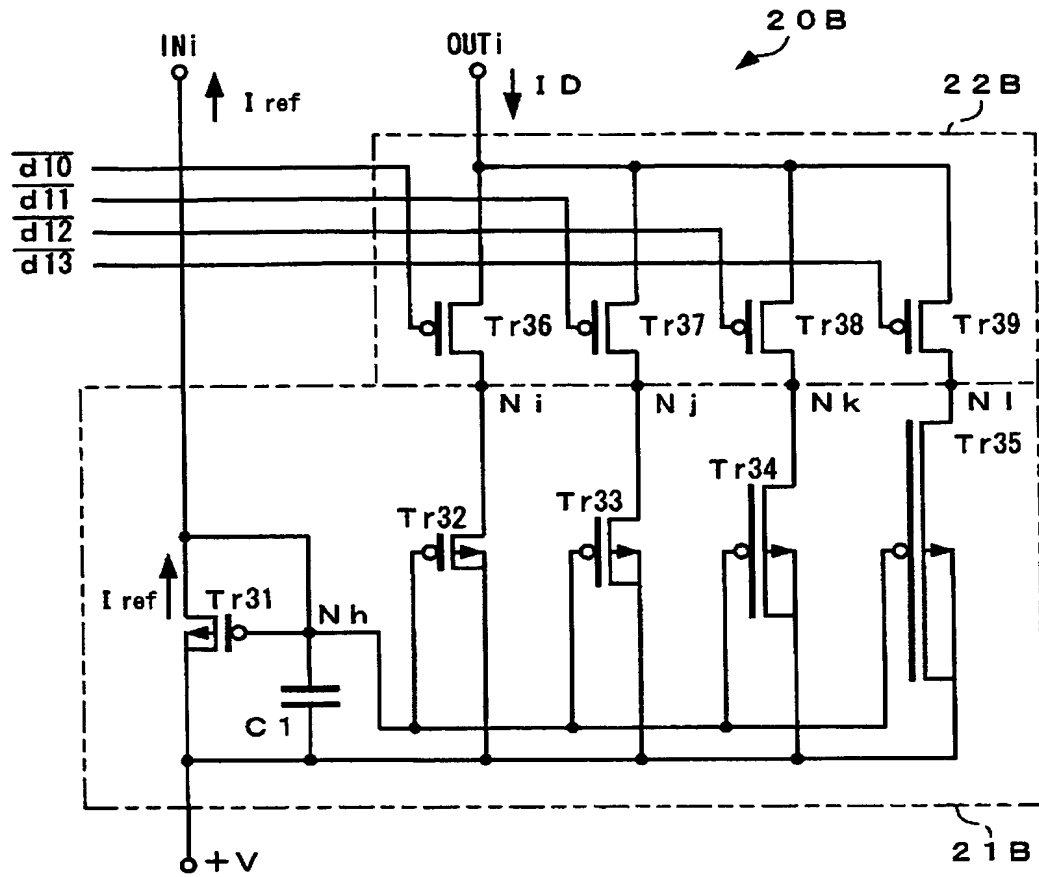


(b)

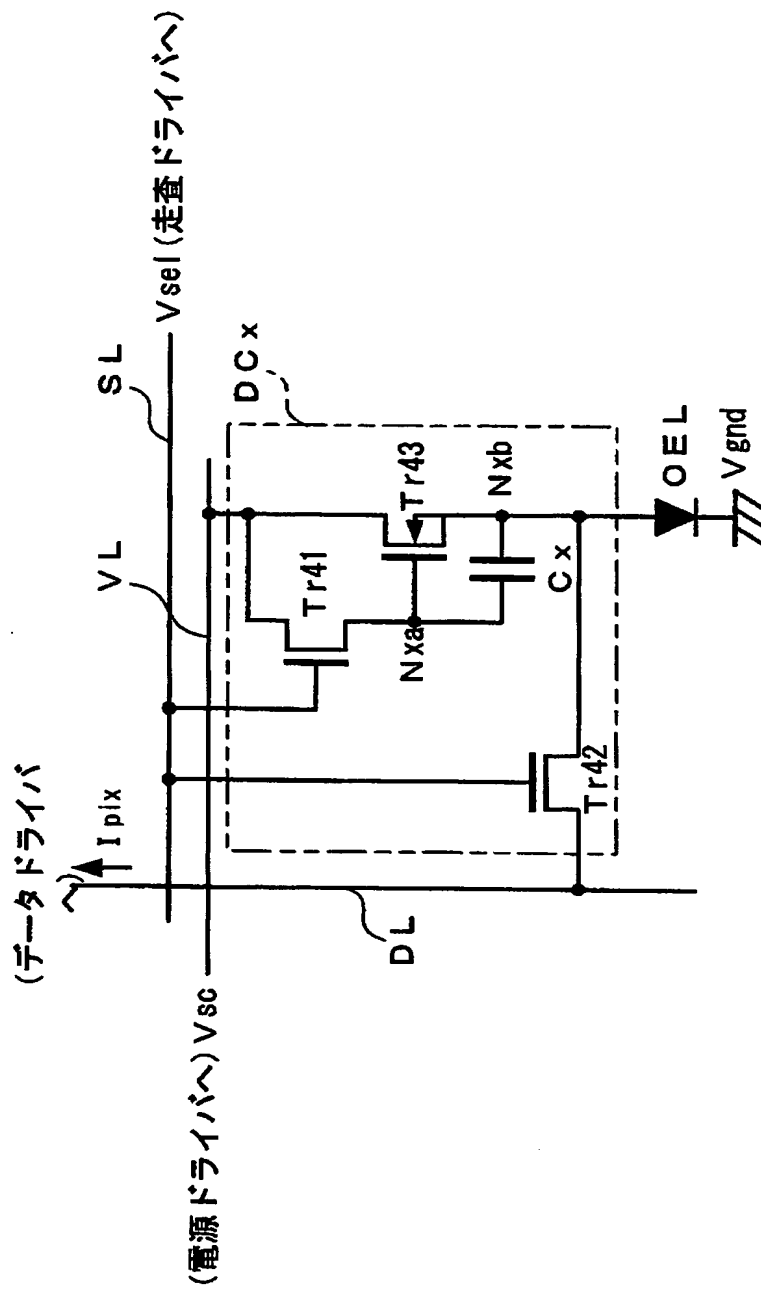
【図 27】



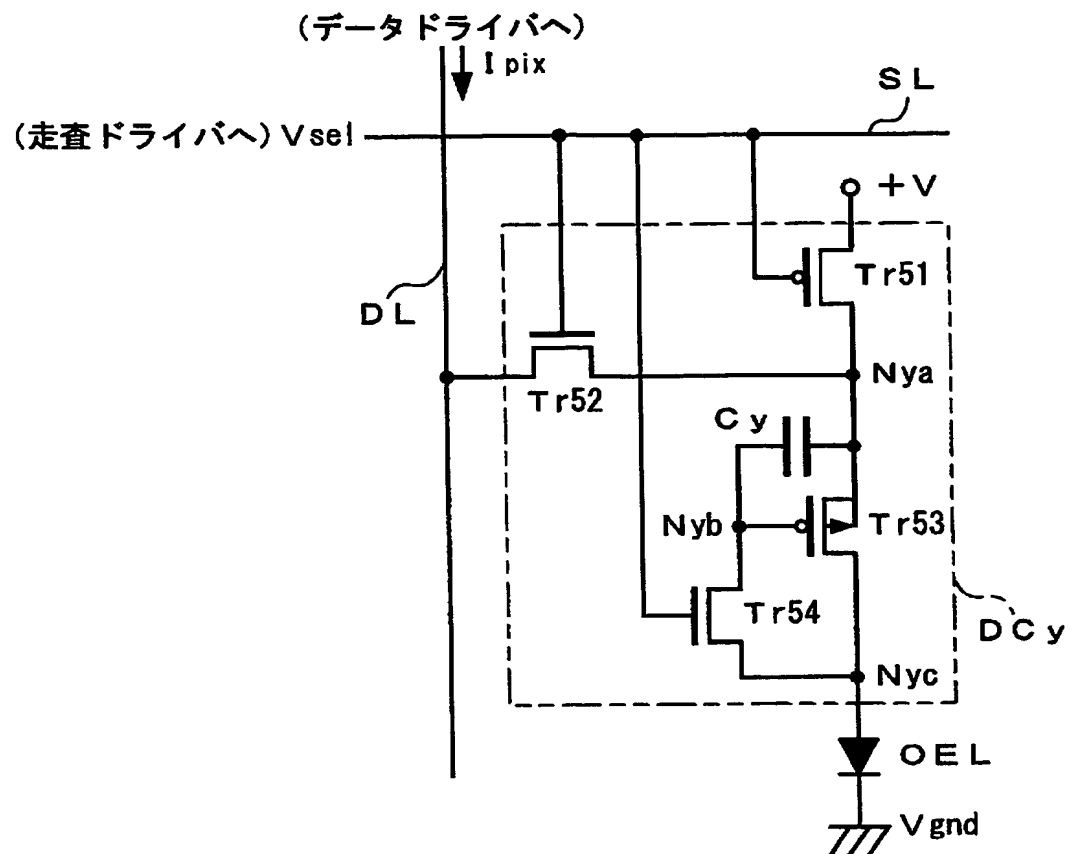
【図 28】



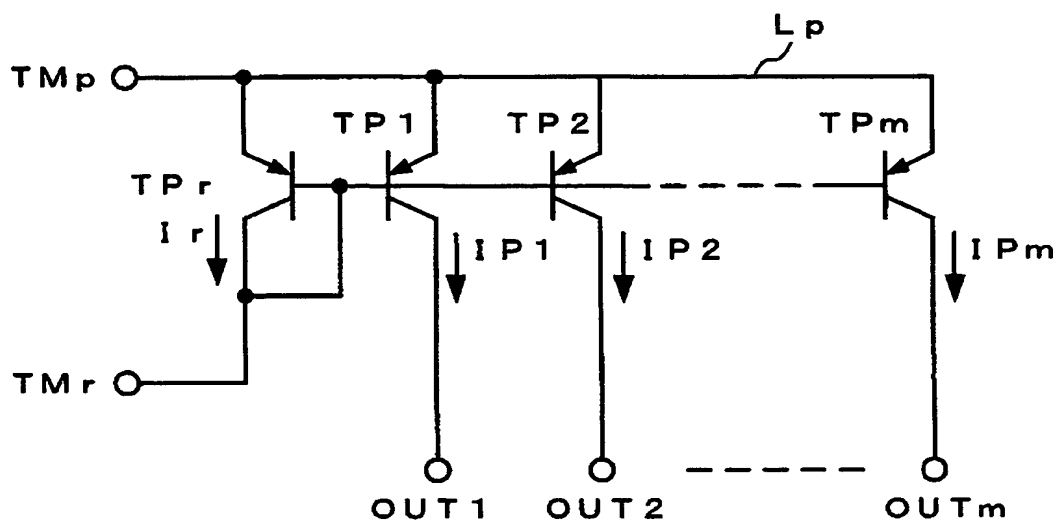
【図 29】



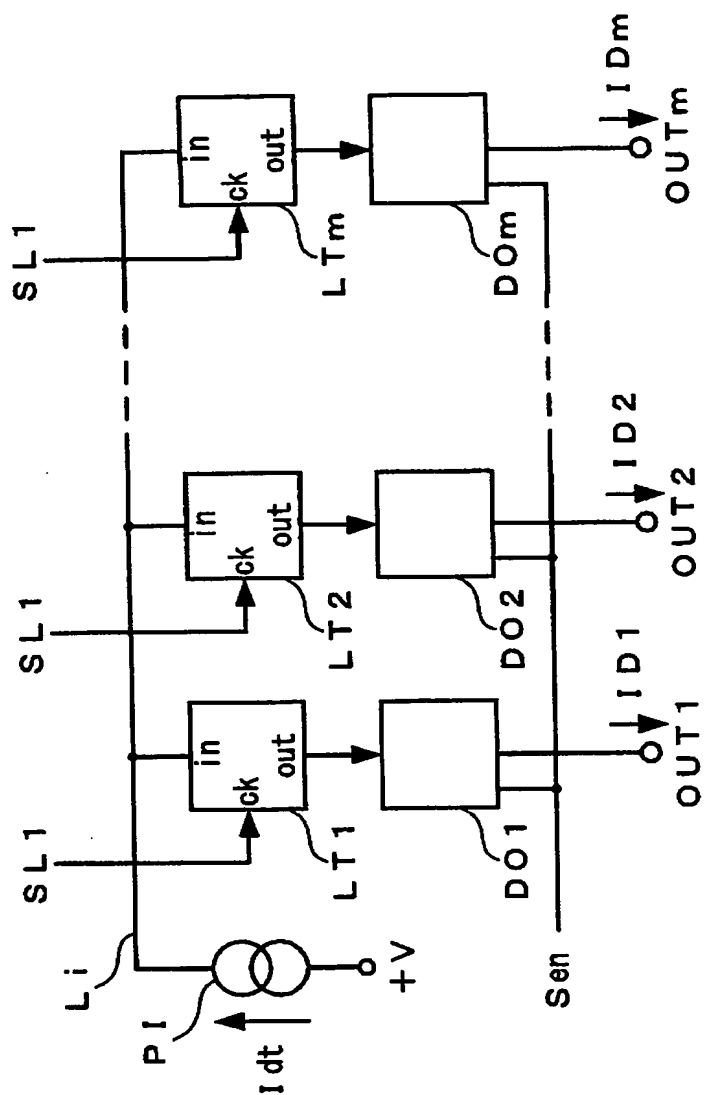
【図 30】



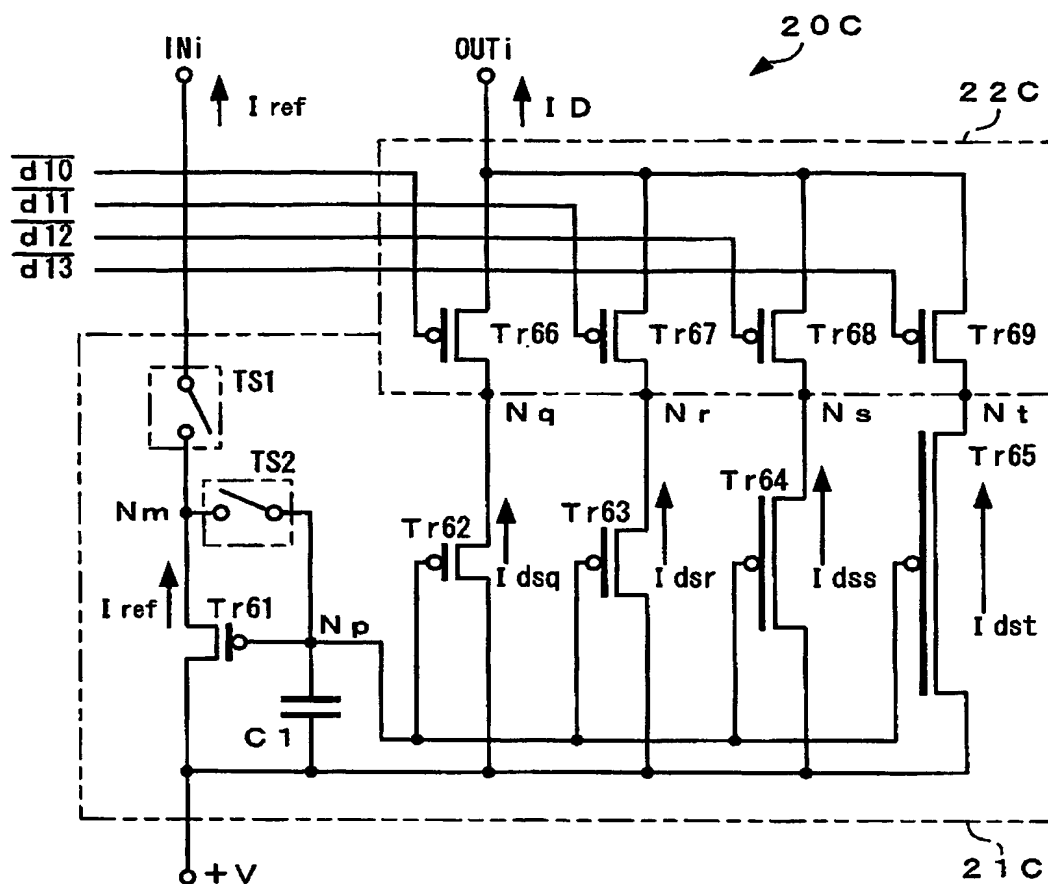
【図 31】



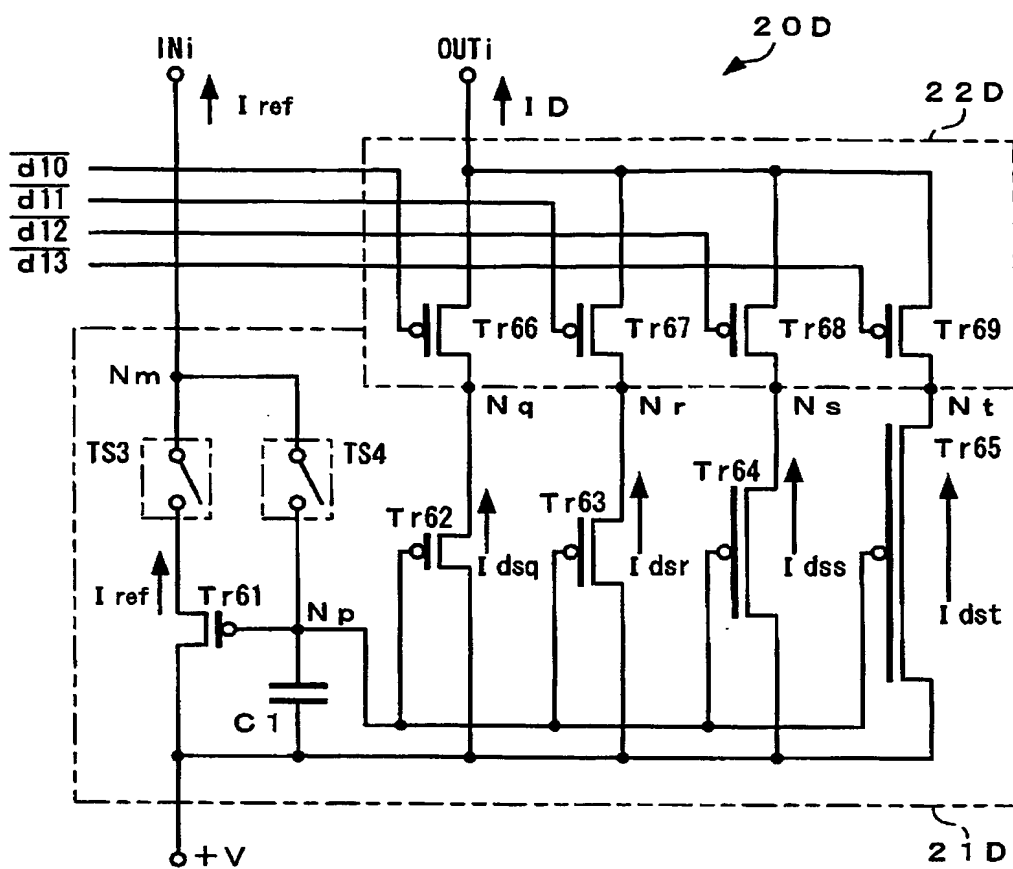
【図 32】



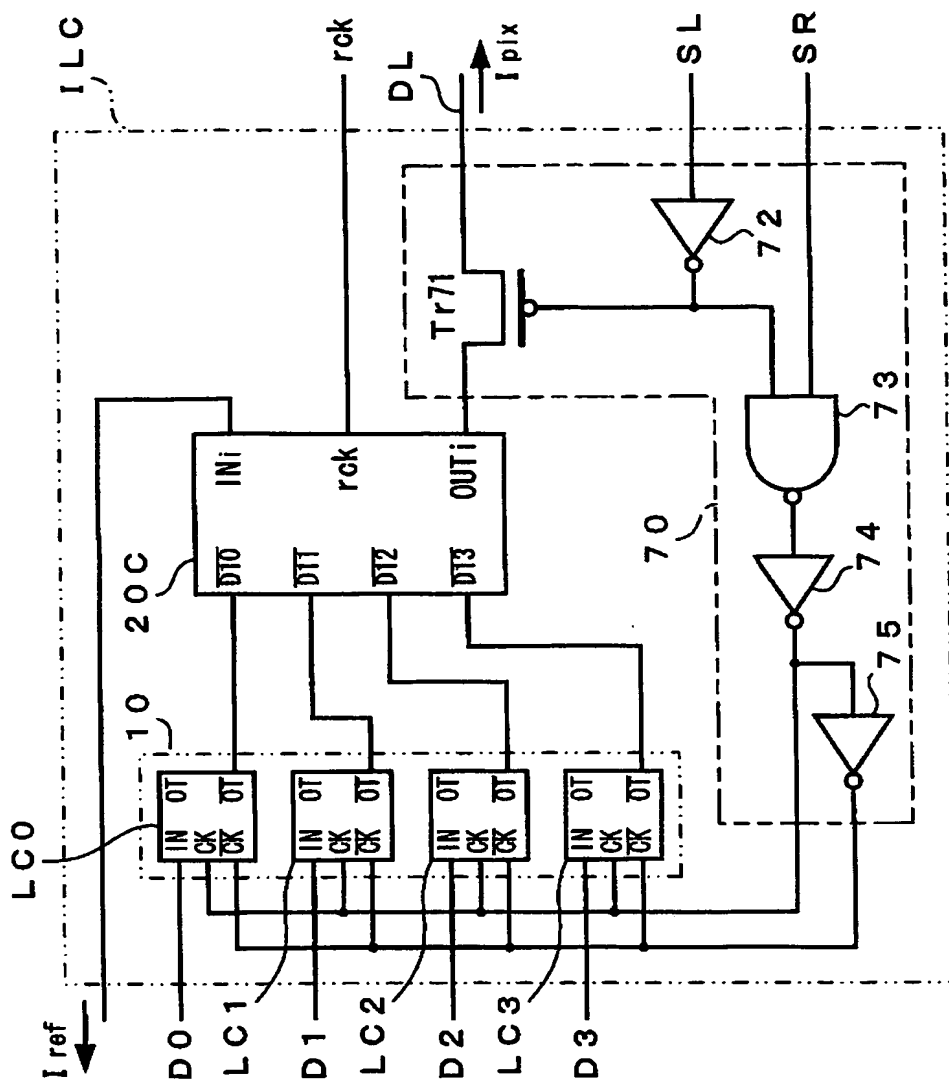
【図 33】



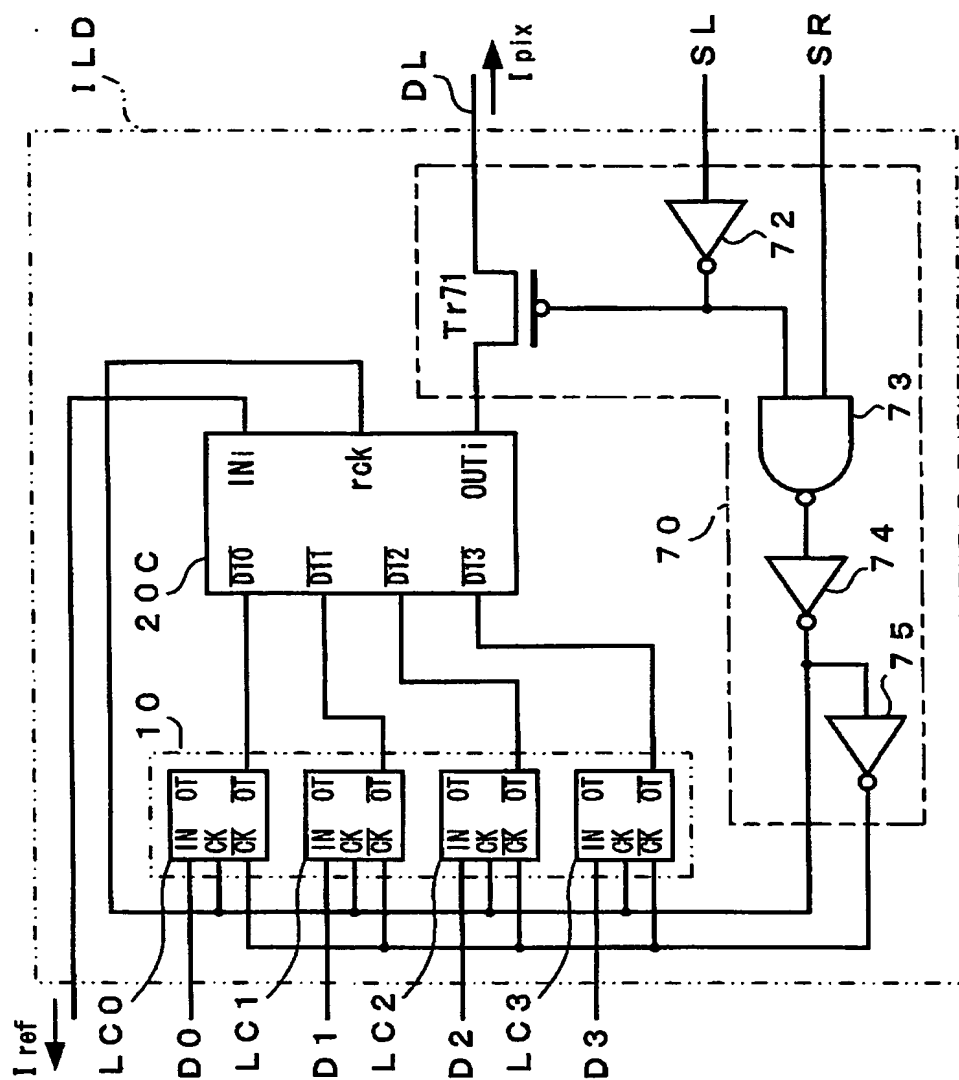
【図 35】



【図 36】



【圖 3 7】



【書類名】 要約書

【要約】

【課題】 表示画素に供給される書込電流が微小な場合であっても、該書込電流を生成する動作を迅速に実行するとともに、表示データに対応した適切な電流値の書込電流を出力することができる電流生成供給回路及びその制御方法、並びに、該電流生成供給回路を備えた表示装置を提供する。

【解決手段】 電流生成供給回路 I L A は、複数ビットのデジタル信号 d 0 ～ d 3 を個別に取り込んで保持するラッチ回路 L C 0 ～ L C 3 を備えた信号ラッチ部 1 0 と、電流発生源 I R A から供給される基準電流 I ref を取り込み、上記信号ラッチ部 1 0（各ラッチ回路 L C 0 ～ L C 3）から出力される出力信号 d 1 0 ～ d 1 3 に基づいて、基準電流 I ref に対して所定比率の電流値を有する負荷駆動電流 I D を生成して出力する電流生成部 2 0 A と、を有して構成されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-103871
受付番号	50300580572
書類名	特許願
担当官	第一担当上席 0090
作成日	平成15年 4月11日

<認定情報・付加情報>

【提出日】	平成15年 4月 8日
-------	-------------

次頁無

特願 2003-103871

出 願 人 履 歴 情 報

識別番号

[000001443]

1. 変更年月日

1998年 1月 9日

[変更理由]

住所変更

住 所

東京都渋谷区本町1丁目6番2号

氏 名

カシオ計算機株式会社